

IF4-ARCH	Architecture	Date MAJ : 12/07/2004
-----------------	---------------------	------------------------------

Statut : Obligatoire ESIEE 4e année 1er semestre
Horaires : Cours : 21 h Travaux dirigés : 6 h Travaux pratiques : 23 h
Langue(s) de l'unité enseignée : FRANCAISE **Crédits ECTS :** 4.5
Responsable(s) : AKIL Mohamed (akilm@esiee.fr)

Objectifs :

- Acquérir les notions nécessaires pour l'évaluation des performances de l'architecture d'un ordinateur
- Savoir mesurer l'impact de la structure des programmes et de l'architecture sur les performances d'un ordinateur
- Savoir mettre en oeuvre une méthodologie de conception de programmes permettant de passer d'une spécification algorithmique à son implantation optimisée (c'est-à-dire implantation 'temps réel') sur une architecture à base de processeurs RISC ou DSP (Digital Signal Processor).

Pré-requis :

Tronc commun Informatique ESIEE

Contenu et planning des enseignements	Cours	T.D	T.P
1. Introduction architectures des ordinateurs et performances : Notion d'accélération, la loi d'Amdhal	2.00		
2. Architecture des processeurs RISC Contrôle et traitement des aléas dans les processeurs pipelines, processeurs RISC superscalaire et superpipeline, processeur VLIW Techniques automatiques d'amélioration de performance : transformations dépendantes de l'architecture cible	8.00	2.00	6.00
3. Hiérarchie Mémoire Mémoires caches : structure et fonctionnement, algorithmes de gestion des caches (allocation, remplacement et cohérence) Mémoire virtuelle : pagination, segmentation, algorithmes de gestion de la mémoire virtuelle	6.00	2.00	
4. Projet : Implantation d'un filtre de traitement d'images sur processeur RISC DLX ARCHITECTURES SPECIALISÉES			8.00
1. Implantation optimisée d'algorithmes sur architecture DSP Architecture interne et fonctionnement Programmation avancée en C sur DSP Architecture interne d'un DMA et programmation Techniques d'optimisation de code : exploitation du parallélisme entre instructions Exemples d'implantation	5.00	2.00	9.00
2. Projet : Implantation d'un décodeur MPEG4 sur DSP			

Nature de l'évaluation	Commentaire	Durée	Coef.
Rapports de TP	et Projets, plus soutenance orale		1.00
Examen final			1.00

Bibliographie :

- [1] John L. Hennessy, David A. Patterson, *Architecture des Ordinateurs*, Mc Graw Hill
- [2] Naim Dahnoun, *Digital Signal Processing Implementation using the TMS 320C6000TM DSP Platform*, Prentice Hall

Moyens pédagogiques particuliers :

simulateur du processeur RISC DLX
 Carte IEK (société ATEME) à base du processeur DSP TMS320C6711