

Organisation et séquençement des TD/TP

– partie I de l'unité IF4 – ARCH –

Processeurs RISC

semaine	TD	TP	Durée	Thème
48		TP1	2H	TP1 – DLX
49		TP2	3H	Mémoire cache – performance
49	TD		2H	FILTRE DE DERICHE
49		TP3	2H	FILTRE – SOBEL – DLX
49		TP 4	2H	PROJET – DERICHE – DLX
49		TP 5	2H	PROJET – DERICHE - DLX
51		TP 6	2H	PROJET – DERICHE - DLX