

IF4-ARCH

Architectures à base de DSP pour le traitement des images

Thierry Grandpierre
Département Informatique – ESIEE
(basé sur des transparents ATEME)

Contenu

Applications et présentations : TS/TI et DSP

- Les architectures de traitement de signal
- Les possibilités des DSP
- Les familles de DSP et leur principales caractéristiques

Technique : Architecture et programmation des C6x

- Architecture interne
- L'environnement de développement
- La carte DM 6437

Pratique : au cœur du multimédia

- Application au traitement d'images
- L'optimisation en performance
- La validation sur cible

Programme

Cours : 6h

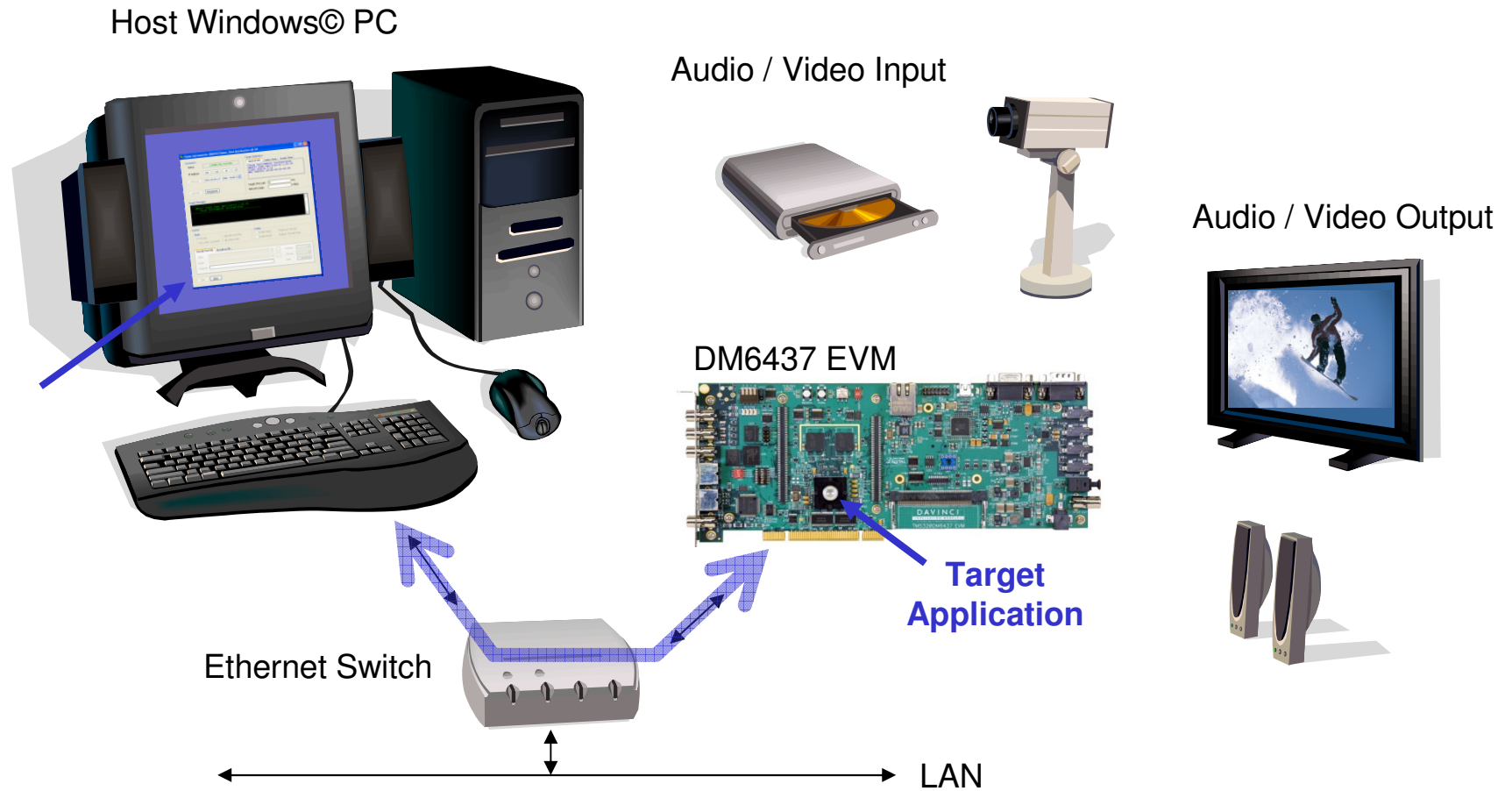
- Introduction aux architectures des systèmes de TS
- Les DSP, la famille C6x, architecture interne
- Architecture du kit DM6437 (utilisé en TP)
- Programmation en C pour DSP

TP : 2 x 3h

- Traitement d'images
- Optimisation des performances



La carte de TP : DM6437





Présentations

Applications de traitement de signal

Choix d'architecture

Les DSP

Les C67xx

Why go digital?

- Analogue signal processing is achieved by using analogue components such as:
 - Resistors.
 - Capacitors.
 - Inductors.
- The inherent tolerances associated with these components, temperature, voltage changes and mechanical vibrations can dramatically affect the effectiveness of the analogue circuitry.

Why go digital?

- With DSP it is easy to:
 - Change applications.
 - Correct applications.
 - Update applications.
- Additionally DSP reduces:
 - Noise susceptibility.
 - Chip count.
 - Development time.
 - Cost.
 - Power consumption.

Why NOT go digital?

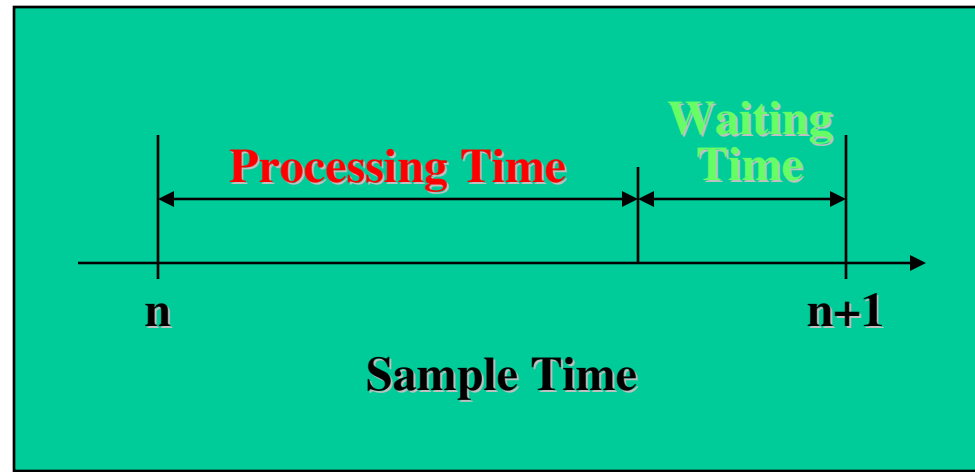
- High frequency signals cannot be processed digitally because of two reasons:
 - Analog to Digital Converters, ADC cannot work fast enough.
 - The application can be too complex to be performed in real-time.

Real-time processing

- DSP processors have to perform tasks in real-time, so how do we define real-time?
- The definition of real-time depends on the application.
- Example: a 100-tap FIR filter is performed in real-time if the DSP can perform and complete the following operation between two samples:

$$y(n) = \sum_{k=0}^{99} a(k)x(n-k)$$

Real-time processing



- We can say that we have a real-time application if:
 - $\text{Waiting Time} \geq 0$

Why do we need DSP processors?

- Why not use a General Purpose Processor (GPP) such as a Pentium instead of a DSP processor?
 - What is the power consumption of a Pentium and a DSP processor?
 - What is the cost of a Pentium and a DSP processor?

Why do we need DSP processors?

- Use a DSP processor when the following are required:
 - Cost saving.
 - Smaller size.
 - Low power consumption.
 - Processing of many “high” frequency signals in real-time.
- Use a GPP processor when the following are required:
 - Large memory.
 - Advanced operating systems.

What are the typical DSP algorithms?

- The Sum of Products (SOP) is the key element in most DSP algorithms:

Algorithm	Equation
Finite Impulse Response Filter	$y(n) = \sum_{k=0}^M a_k x(n-k)$
Infinite Impulse Response Filter	$y(n) = \sum_{k=0}^M a_k x(n-k) + \sum_{k=1}^N b_k y(n-k)$
Convolution	$y(n) = \sum_{k=0}^N x(k)h(n-k)$
Discrete Fourier Transform	$X(k) = \sum_{n=0}^{N-1} x(n) \exp[-j(2\pi / N)nk]$
Discrete Cosine Transform	$F(u) = \sum_{x=0}^{N-1} c(u).f(x).\cos\left[\frac{\pi}{2N}u(2x+1)\right]$

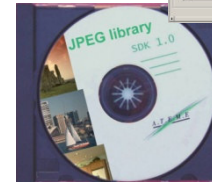
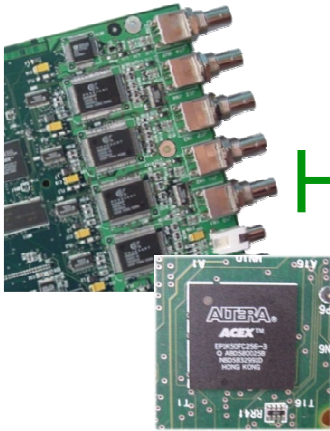
Hardware vs. Microcode multiplication

- DSP processors are optimised to perform multiplication and addition operations.
- Multiplication and addition are done in hardware and in one cycle.
- Example: 4-bit multiply (unsigned).

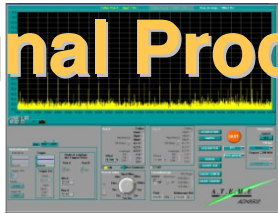
Hardware	Microcode
$\begin{array}{r} 1011 \\ \times 1110 \\ \hline 10011010 \end{array}$	$\begin{array}{r} 1011 \\ \times 1110 \\ \hline 0000 \\ 1011. \\ 1011.. \\ 1011... \\ \hline 10011010 \end{array}$
	Cycle 1
	Cycle 2
	Cycle 3
	Cycle 4
	Cycle 5

Application fields

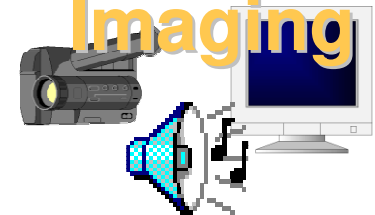
HARDWARE & SOFTWARE



Signal Processing



Imaging



Telecommunication





Présentations

Applications de traitement de signal

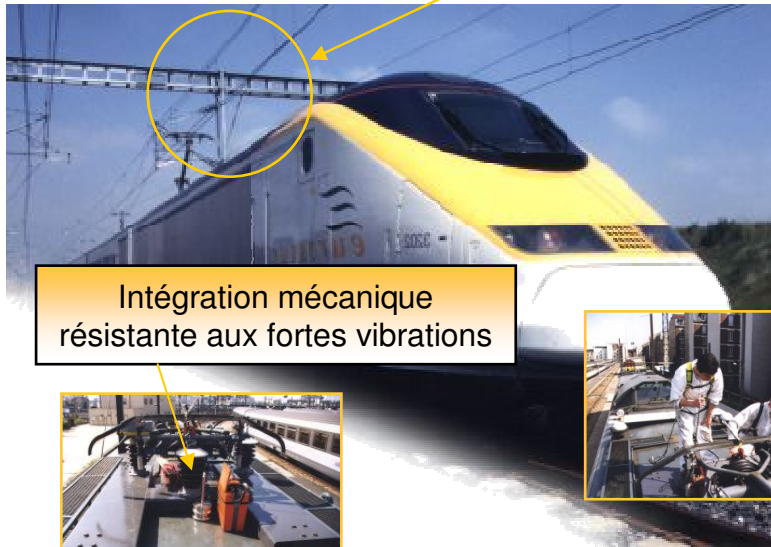
Choix d'architecture

Les DSP

Les C67xx

SNCF

Algorithme de traitement d'images en Temps Réel

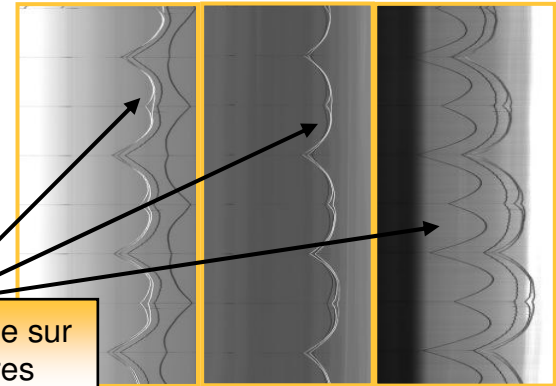


Acquisition des sources vidéo à 300 Km/h

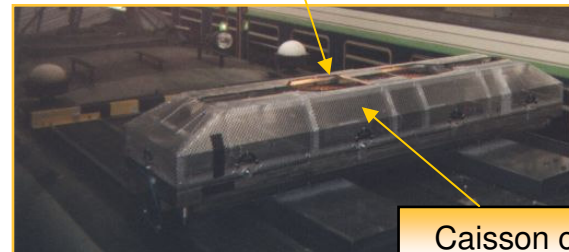
Intégration mécanique
résistante aux fortes vibrations



Triangulation optique sur
3 caméras linéaires



Électronique fonctionnant dans un environnement
électromagnétique fortement perturbé



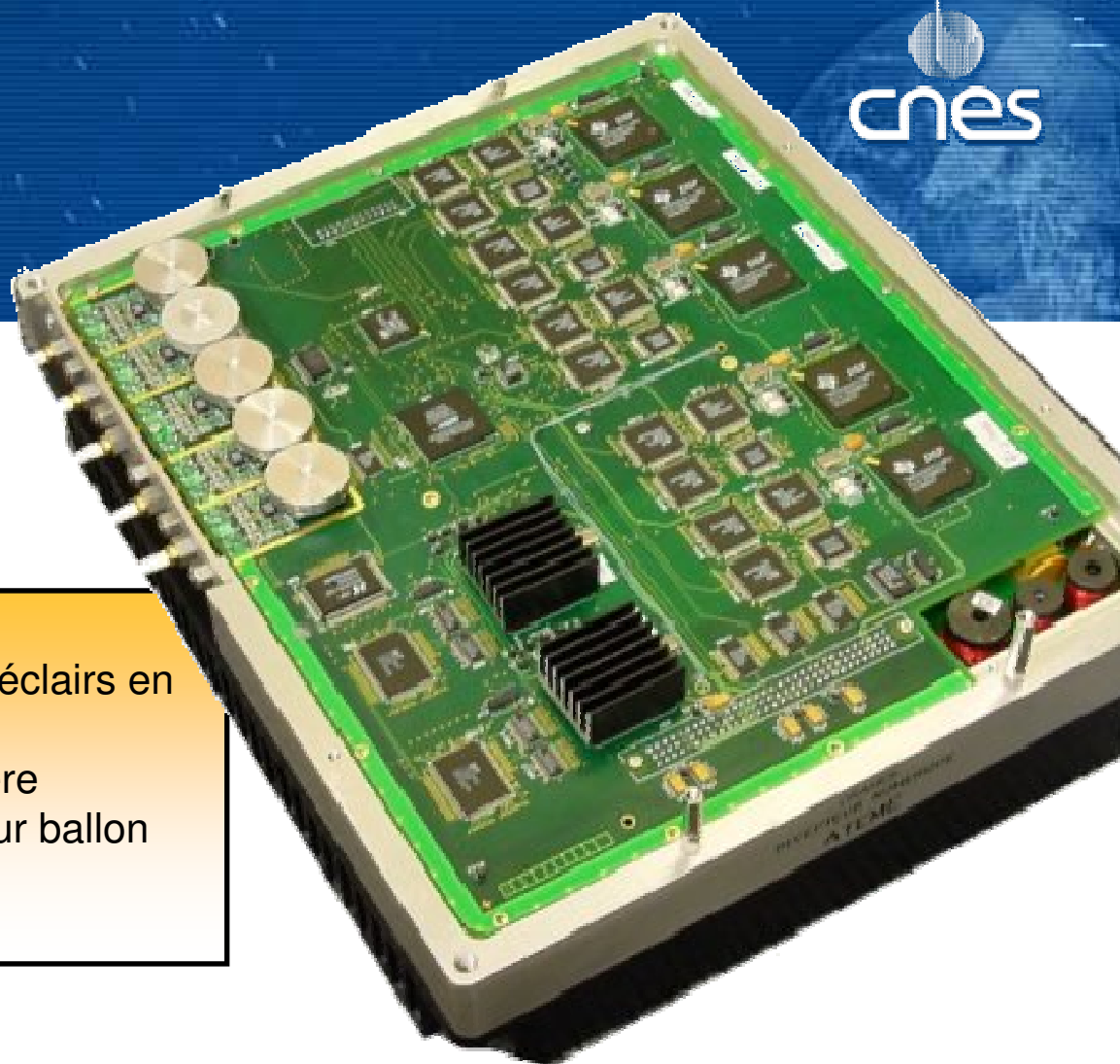
Caisson caméra toute météo

ORAGE

Interféromètre Numérique

Détection et localisation en 3D des éclairs en temps réel depuis l'espace.

Ce module est destiné à une première expérience en vol stratosphérique sur ballon sonde (altitude 30 à 40 km)



MODEM MULTIPROTOCOLES

Carte PCMCIA type II

Codage de la parole
Modulation du signal
pour s'adapter aux réseaux
fixe et hertzien



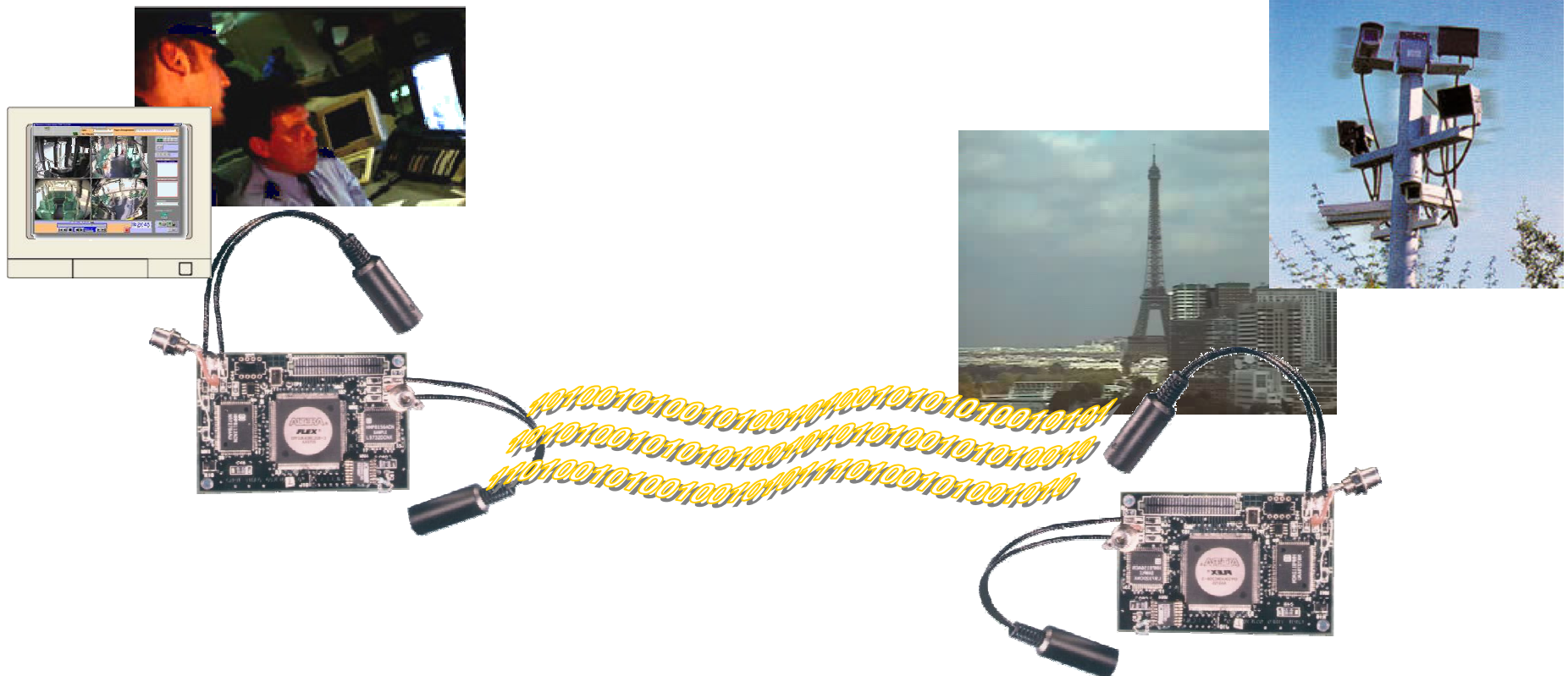
Valise Inmarsat



Algorithme de cryptage sur
DSPTMS320C32

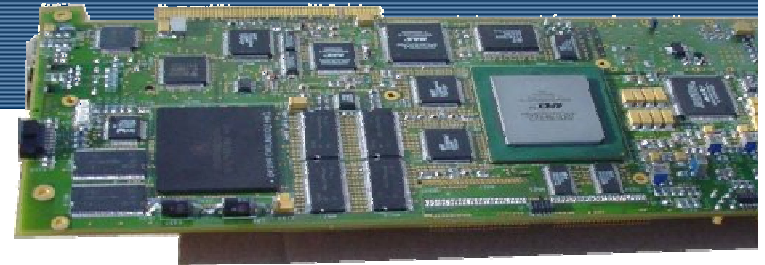
Crypteur de données vidéo

Clé cryptée en dynamique



Versatile Digital Radio Demonstrator

Démonstrateur pour communication RADIO



PCI maître/esclave

32 bits 33 MHz

MOTOROLA MPC8260

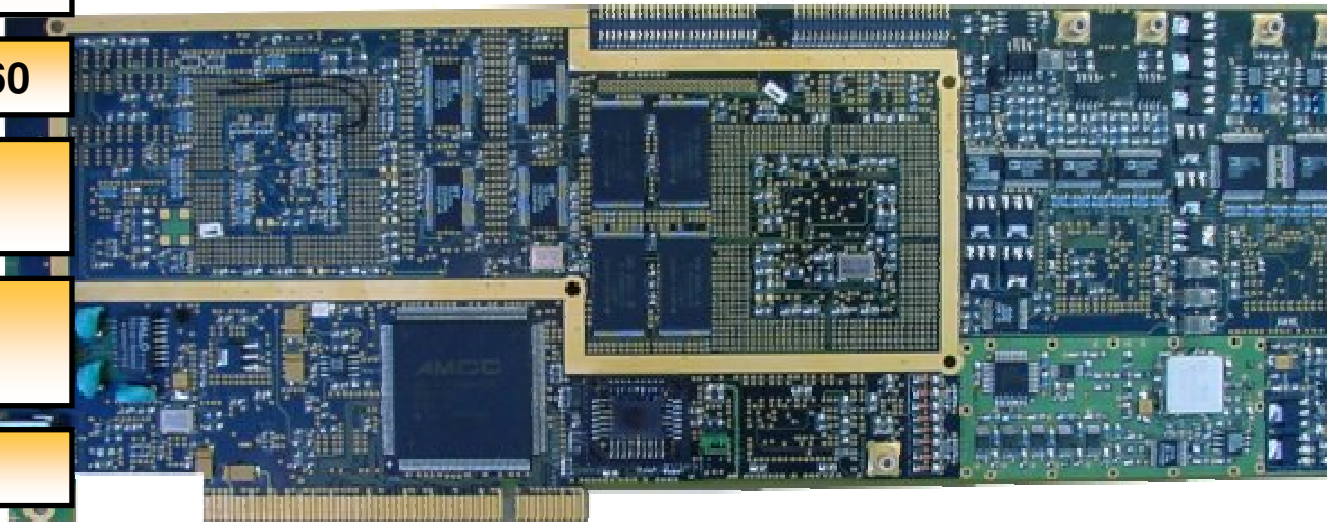
ALTERA APEX20K

(1.5 Millions de portes)

FAST-ETHERNET

100 Mbits/s

Interface IEEE-1394



Digital Recorder

Système Enregistreur Vidéo IR

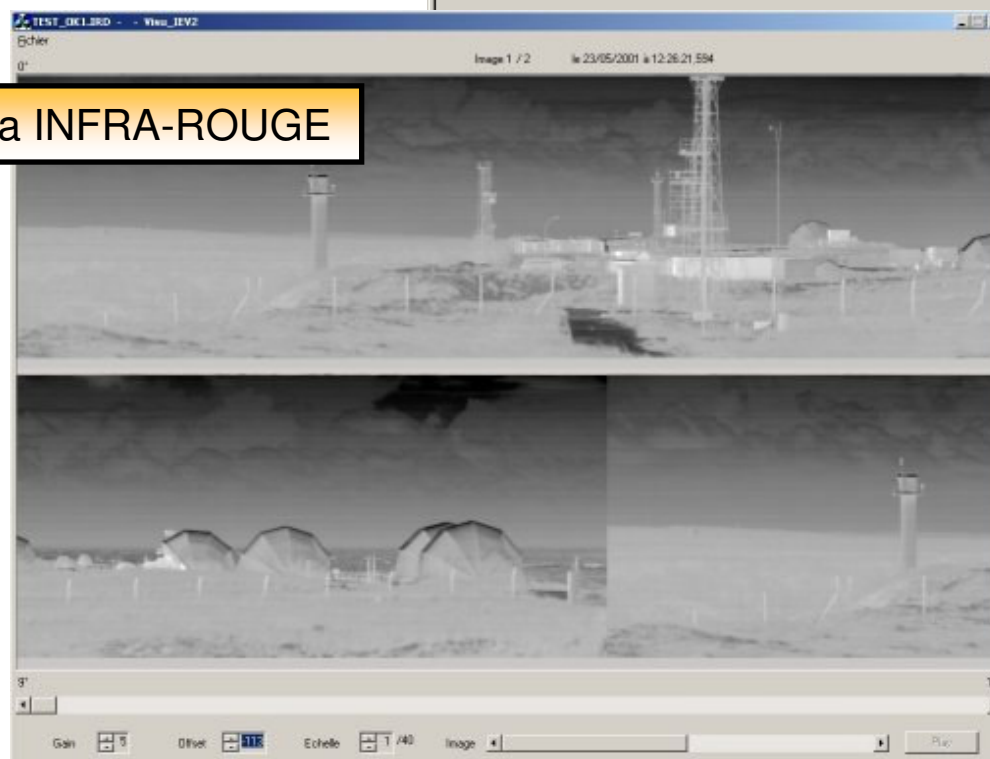
AcquiTest.fpd - Ateme Digital Recorder

File Flow Control Help

Flow	Reader	Rate (MB/s)	Status	Writers
<input checked="" type="checkbox"/> Flow 1	Adr128 IE...	0.000000	Stand-by	IEV Disk Files 1

Peripheral	Flow	Processed Bytes	Status	Last Error
Adr128 IEV2 1	Flow 1	0	Stand-by	None
IEV Disk Files 1	Flow 1	0	Stand-by	None

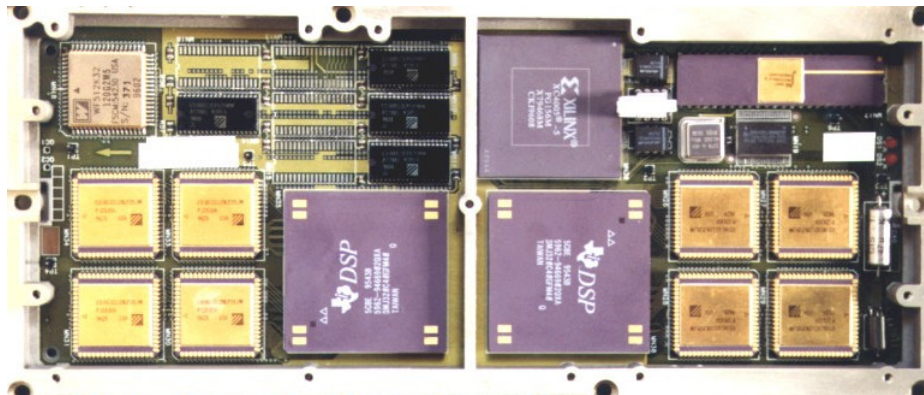
Lecteur - Enregistreur pour caméra INFRA-ROUGE



Carte embarquée

Traitement de signaux numériques

DSP TMS320C40, XILINX, Mémoire Flash
Environnement sévère (85°C, vibrations fortes)





Présentations

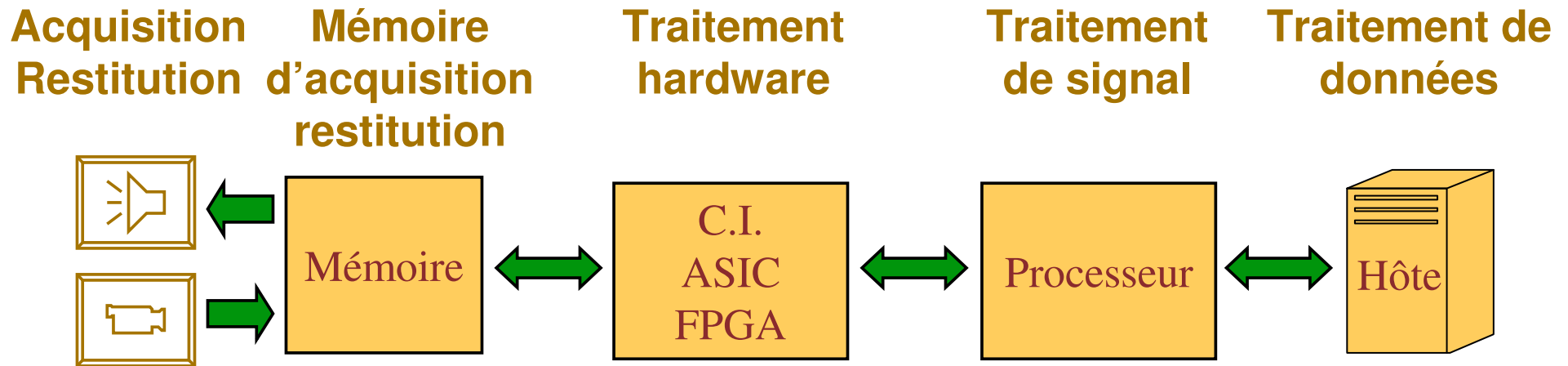
Applications de traitement de signal

Choix d'architecture

Les DSP

Les C67xx

L'architecture générique



- ✓ Répartition des tâches entre H/W, S/W temps réel et S/W non temps réel
- ✓ Mémoire d'acquisition/restitution : permet de moyenner les débits
- ✓ Mémoire entre chaque étage de traitement : évite la transmission des contraintes de temps réel

Les différents éléments de TS

Solution	Avantages	Inconvénients
C.I. spécialisé	Coût récurrents réduits Performance Condition d'environnement	Caractéristiques définies et figées Souplesse d'utilisation Évolutivité nulle Pérennité
ASIC	Coût récurrents très faibles Performance	Coût non récurrent Évolutivité nulle Dépendance du fondeur
FPGA	Parallélisation traitements => performance Condition d'environnement	Coût récurrents élevés Plus évolutif des solutions H/W
Processeurs	Souplesse Évolutivité Portabilité solution	Performances limitées Coût récurrent

La répartition du TS

Processeurs :

- Besoin de souplesse et d'évolutivité (release automatiques, gammes d'équipements, ...)

FPGA :

- Petite série
- Evolutivité (faible cependant)

C.I. spécialisé :

- Performances hors d'atteinte d'une architecture mono-processeur
- Conditions d'environnement
- Pas de contrainte de pérennité

ASIC :

- Très grande série
- Coût de production optimisé

Ordre préférentiel



Le choix du processeur

PC :

- Adéquate pour les applications « multimédia à la maison »
- Avantage de la grande diffusion et de l'extraordinaire souplesse
- **N'est pas une machine temps réelle**

DSP :

- Le processeur qui porte le traitement de signal dans son appellation
- Le maître mot : **temps réel**

ARM, RISC, Micro-Contrôleurs, GPP :

- Structure moins adaptés au TS
- Peuvent cependant réaliser de manière performante du TS
- Classification difficile et inutile

Pourquoi un DSP ?

Capacité de traitement :

- Performances en traitement et calcul
- Maîtrise du temps réel

Consommation :

- Possibilité de consommation très faible
- Plusieurs modes « power down »

Coût de production :

- Composants
- Glue hardware réduite (mémoire et périphérique)
- Économies sur cuivre et câblage

Equipements embarqués :

- Gamme de température étendue (selon DSP)

Évaluer la performance

La puissance du processeur :

- Exprimée en nombre d'instructions exécutables en 1s (Mips) ou le nombre d'opérations flottantes en 1s (MFlops)
- Attention : chiffre purement théorique : il suppose que tous le code permet d'exploiter toutes les possibilités du processeur à tous moments
- Par exemple : sur les DSP C6000 de TI, possibilité d'exécuter 8 instructions par cycle :
 - A 600MHz, le DSP donne une puissance de 4800 Mips
 - En pratique, le compilateur permettra d'exploiter 1000 à 2000 Mips
 - En optimisant à la main mais on ne dépassera pas 4 à 6 instructions par cycle

Les benchmarks :

- Exprime le nombre d'instructions/opérations nécessaires pour un calcul donné
- Permet théoriquement la comparaison de processeurs ou d'algos
- Réalisé par le constructeur ou par un tiers (plus objectif dans ce cas)
- Permet théoriquement de savoir si un algo sera exécuté en temps réel par un processeur

Évaluer la performance

Les pièges :

- Type exact du processeur + fréquence
- Estimation, simulation ou mesure sur cible
- Usage de la mémoire externe
- Type et performance de la mémoire externe
- Spécification précise de l'algo et de sa méthode de calcul (ex : vidéo, modem)
- Format des données en entrée et en sortie
- Précision des calculs

Les précautions :

- Prévoir le temps consommé par la gestion des entrées et des sorties de données (DMA ou autre moyen)
- Réaliser un bench personnalisé
- Mieux : essayer l'application sur cible, sur carte d'évaluation, en tenant compte de l'architecture mémoire



Présentations

Applications de traitement de signal

Choix d'architecture

Les DSP

Les C67xx

Les DSP

Définition :

- DSP = Digital Signal Processing
- 1 MAC/cycle d'horloge
- MAC = Multiplication & Accumulation

Structure :

- 1 cœur de micro-processeur
- Des périphériques adaptés aux applications visées

Traitement temps réel :

- Temps de traitement moyen (capacité à traiter toutes les données)
- Délai de réponse garanti (réponse à une contrainte hardware)
- Temps de latence garanti (délai de transmission)

Un panorama des DSP

DSP généralistes :

- Texas Instruments
- Analog Device
- Lucent
- Motorola

DSP spécialisés :

- Audio (portable ou Hifi), multimédia, téléphones mobiles
- Philips
- Equator

DSP personnalisés :

- ASIC avec cœur DSP ou DSP sur mesure
- Développement très cher => grands volumes

DSP flottants et entiers

DSP entiers :

- Représente la grande majorité des DSP vendus
- Composants les moins chers
- A la pointe de la technologie
- Flottants par émulation (très lent)

DSP flottants :

- Pas de problèmes de débordement
- Permet un développement plus rapide
- Flottant simple précision seulement (double précision émuls)
- Précision de calcul moins importante que pour les entiers
- Fréquence moins élevée
- Composants plus chers

Développement sur DSP

Comme sur tous les systèmes ...

Poser le problème :

- Décrire les fonctions attendues (exigences)
- Spécifier les interfaces (avec l'extérieur du DSP)
- Dimensionner les performances
- Déterminer les contraintes (environnement, consommation, coût, ...)

Analyser la solution :

- Sur papier et pas en C
- Réfléchir à l'architecture
- Prévoir les difficultés d'implémentation et lever les risques
- Vérifier l'adéquation avec les exigences et les contraintes
- Prévoir les méthodes de test et de validation

Développement sur DSP

Réaliser :

- Développer le code **en C** (voire en C++)
- Éventuellement tester sur simulateur ou sur PC (environnement plus facile)
- Implémenter sur cible

Valider :

- Tester unitairement en respectant les scénarii de test préparés en phase d 'analyse
- Optimiser (taille, performance, consommation, ...)
- Qualifier

Modifier :

- Gérer les versions (en incluant l'environnement de développement : librairies, ...)
- Documenter les modifications (fiches de modifications ou autre système)
- Passer des tests de non régressions (ou de qualification)

Choix du DSP

Les critères :

- **Flottant** ou **entier**
- **Performance** requise :
 - Puissance de calcul
 - Mémoire interne
 - Fréquence des interfaces externes
- **Consommation** acceptable
- **Coût composant**
- **Périphériques** souhaités
- Environnement de développement (rester fidèle est un plus)
- Support (cartes d'éval, librairies dispo, support technique, réseau de partenaire)
- Pérennité (fiabilité du constructeur)

calcul Flottant

- Numerical Form

$$-1^s M 2^E$$

- Sign bit s determines whether number is negative or positive
- Significand M normally a fractional value in range $[1.0, 2.0)$.
- Exponent E weights value by power of two

- Encoding



- MSB is sign bit
- exp field encodes E
- frac field encodes M

Les DSP Texas Instruments

TMS320C2000 :

- Famille dédiée au contrôle moteur
- 20 à 40 Mips
- Incluent des périphériques spécifiques : ADC, PWM, CAN

TMS320C5000 :

- Famille privilégiant le rapport puissance/consommation
- Dédicée particulièrement aux équipements portables
- 30 to 400 Mips

TMS320C6000 :

- Famille de DSP privilégiant la performance
- 1200 à 4800 Mips et 600 à 1350 MFlops

La constitution du DSP

Coeur :

- Unité de calcul
- Entre 1 et 8 instructions par cycle, selon les coeurs
- Réalise les opérations de calcul selon le set d'instructions

Mémoire interne :

- RAM, ROM ou Flash
- SARAM ou DARAM (single access ou dual access)
- RAM de 0 à 1Mo
- RAM inclût le 2ème niveau de cache (taille configurable)

Contrôleurs :

- Power Down Logic
- Contrôleur d'interruption
- Contrôleur de DMA

La constitution du DSP

Interfaces :

- EMIF : External Memory Interface
 - ✓ Jusqu'à 2 par DSP
 - ✓ De 16 à 64 bits
- Host Port Interface
- Interface PCI
- Liens séries spécialisés (I2C, ...)
- Multi Channel BSP

Périphériques :

- Convertisseurs Analogique/Numériques
- Power Management

Mode de boot :

- Configurable

L'environnement de développement

eXpressDSP initiative

- CCS
- DSP-BIOS
- xDAIS interface
- Third Party Network

CCS : Code Composer Studio

- Environnement intégré
 - ✓ Editeur, Compilateur, Linker
 - ✓ Debbuger
 - ✓ Simulateur
- Plug-ins (user-defined)
- RTDX (Real Time Data Exchange)

L'environnement de développement

DSP-BIOS :

- Operating System de bas niveau pour DSP TI

xDAIS :

- Autorise la cohabitation de différents algos
- API standardisé par TI pour algo DSP
- Pas d'allocation mémoire dans l'algo
- Pas d'accès direct aux ressources matérielles

CSL : Chip Support Library

- = HAL (Hardware Abstraction Layer)

Émulateur

- Différents bus : ISA, PCI, PCMCIA, ...
- Différentes performances

Texas Instruments' TMS320 family

- Different families and sub-families exist to support different markets.

C2000

C5000

C6000

Lowest Cost

Control Systems

- ♦ Motor Control
- ♦ Storage
- ♦ Digital Ctrl Systems

Efficiency

Best MIPS per Watt / Dollar / Size

- ♦ Wireless phones
- ♦ Internet audio players
- ♦ Digital still cameras
- ♦ Modems
- ♦ Telephony
- ♦ VoIP

Performance & Best Ease-of-Use

- ♦ **Multi Channel and Multi Function App's**
- ♦ Comm Infrastructure
- ♦ Wireless Base-stations
- ♦ DSL
- ♦ Imaging
- ♦ Multi-media Servers
- ♦ Video

Les C5000

TMS320C5000 :

- Cœur 16 bits entiers
- Famille privilégiant le rapport puissance/consommation
- Dédicée particulièrement aux équipements portables
- McBSPs pour privilégier les architectures logicielles multi-canaux

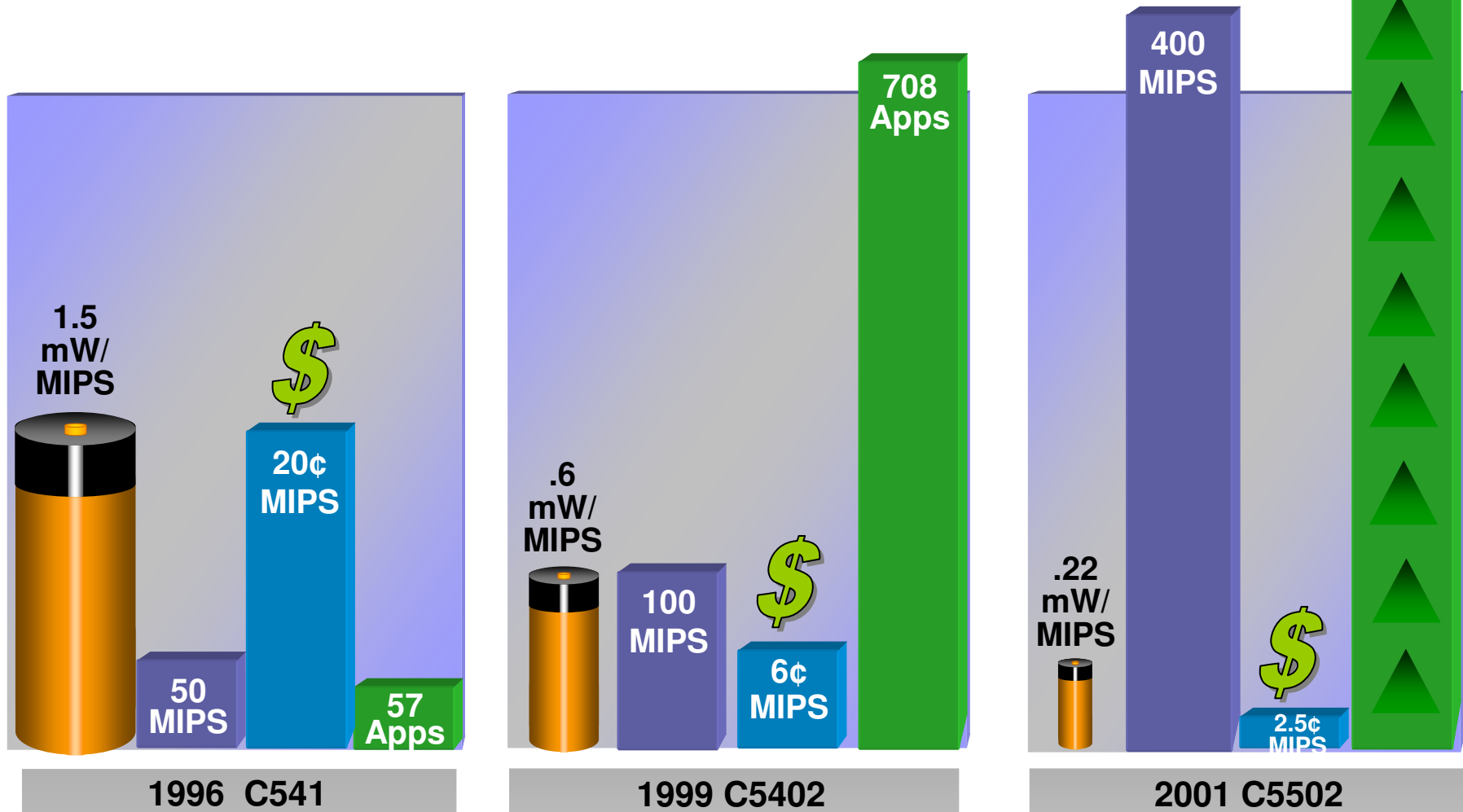
TMS320C54x :

- Famille variée en périphérique et en capacité mémoire
- A partir de qqs \$

TMS320C55x :

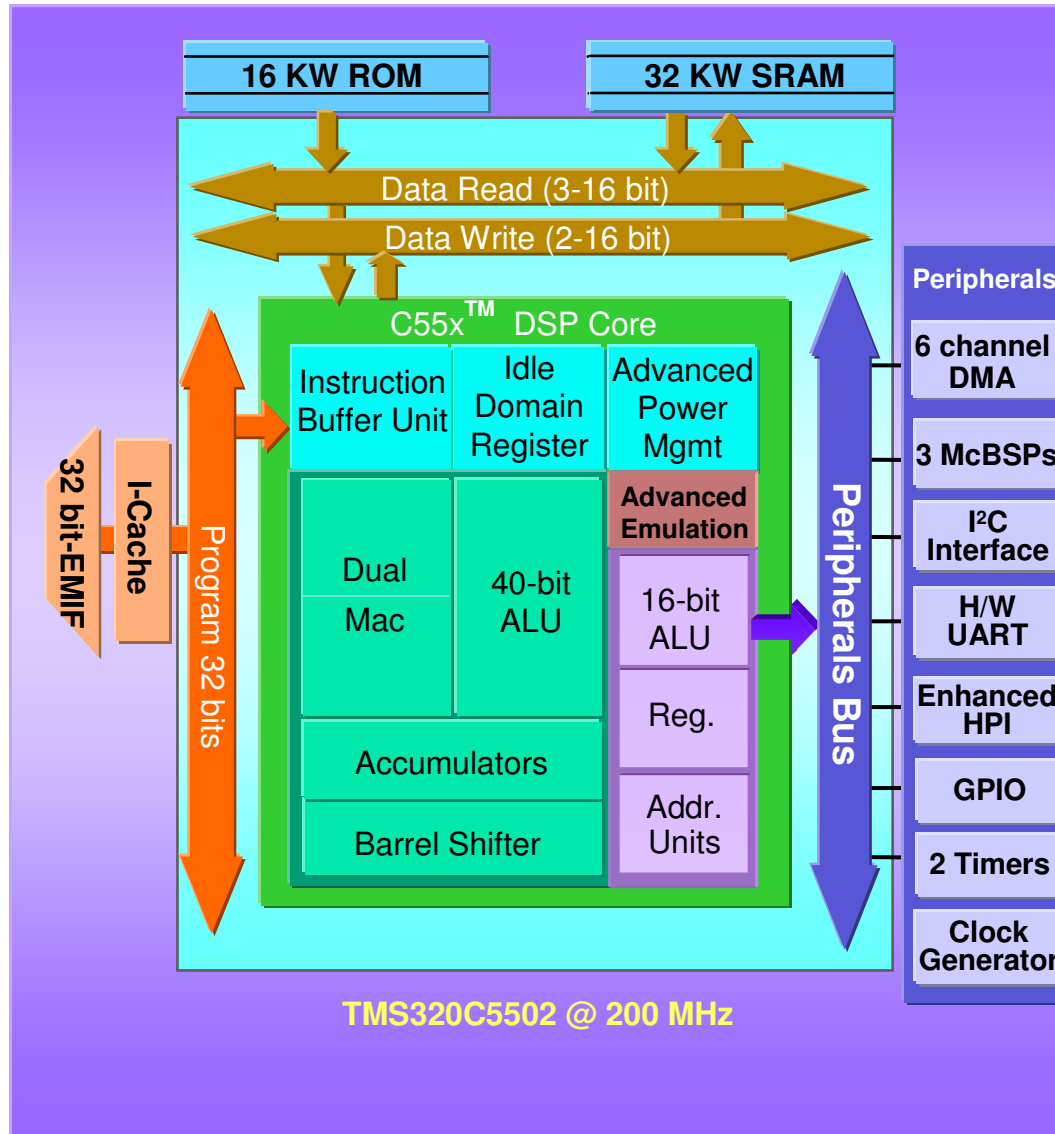
- Nouvelle génération augmentant la performance
- 2 instructions en // par cycle

C5502 Introduces New Price/Performance Threshold



TMS320C5502

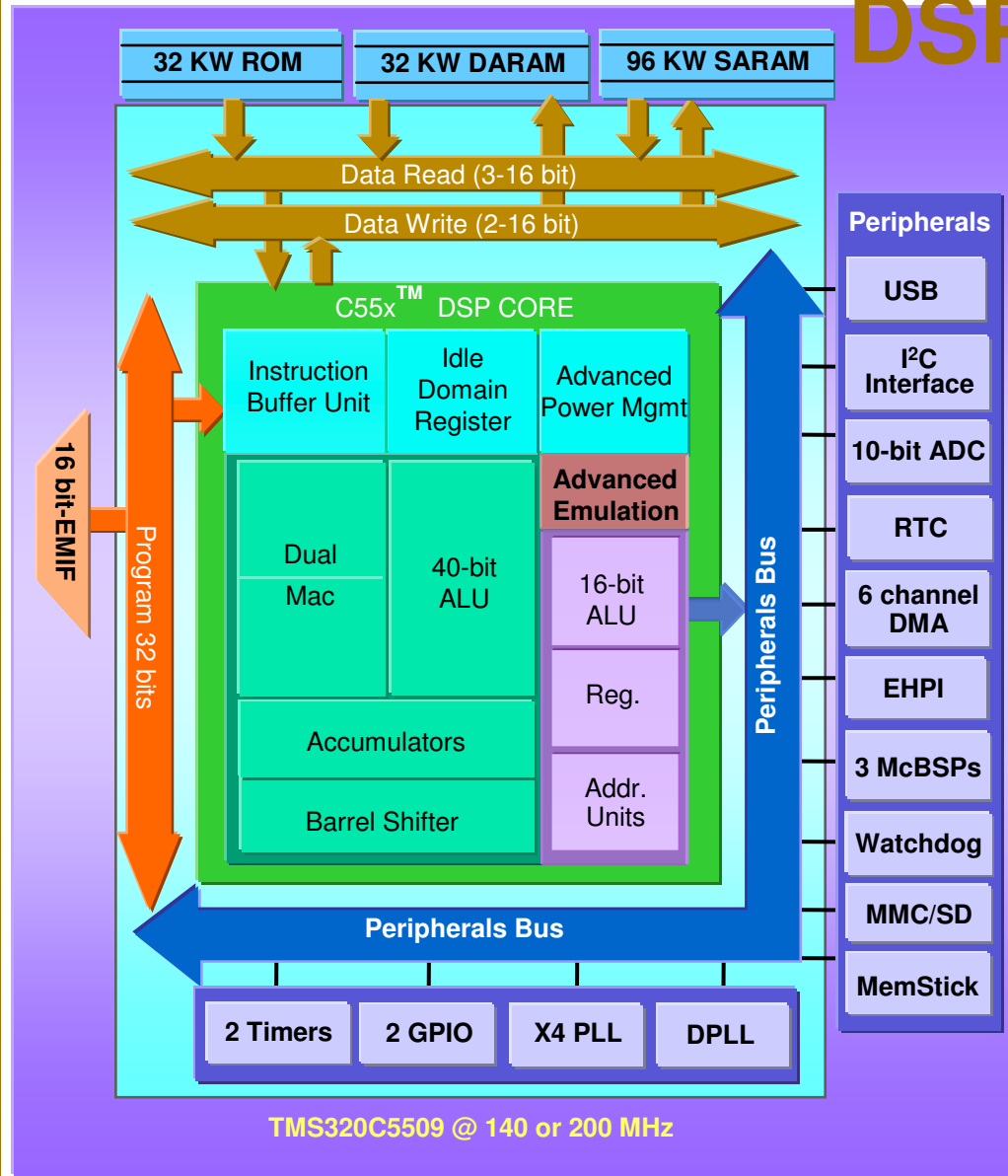
400MIPs, 640MBs I/O, <100mW



On-Chip Memory	32KW SRAM 16KW ROM
32-bit External Memory Interface (EMIF)	Low cost SDRAM & SBRAM, Asyn RAM support 400 Mbytes/sec bandwidth
24 KByte I-Cache	Allows inexpensive memory off chip
Six channel DMA	Internal and external transfers
3 Multi-channel Buffered Serial Ports	128 Channels 100Mbps each
I²C Interface	Glueless interface
Hardware UART	No software overhead
16-bit Enhanced HPI	200MBytes/sec bandwidth
Dedicated and mux'd GP I/Os	Maximum GPIO to meet system needs
Package	176-pin 24mm² TQFP 15mm² µBGA

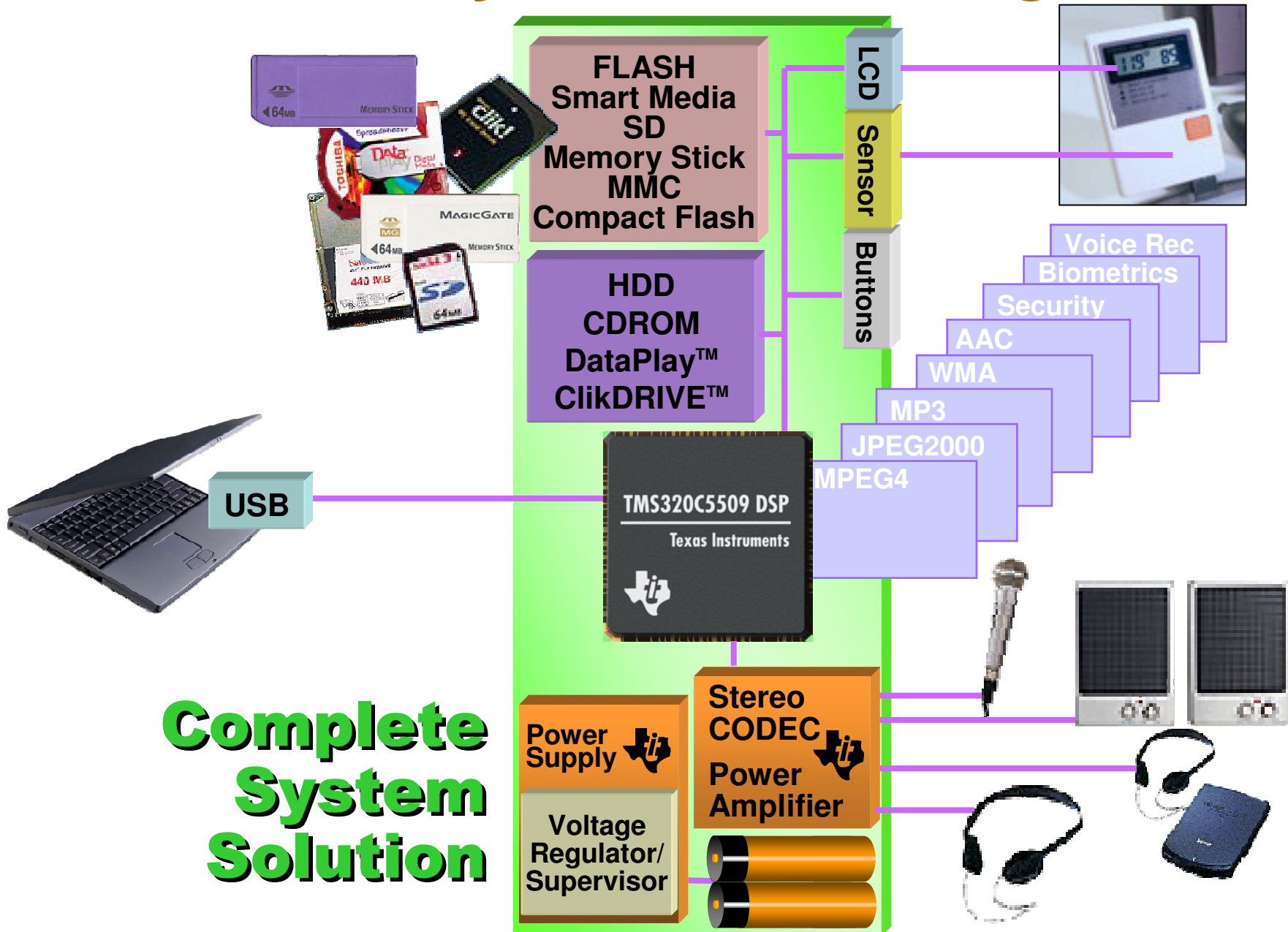
TMS320C5509 : portable & connected

DSP



- USB 1.1 port
- I²C multi-master and slave Interface
- 10-bit 500uS ADC for battery monitor, buttons
- RTC w/32KHz crystal input, separate power
- 64-bit unique device ID for security
- **MultiMedia Card/Secure Digital (MMS/SD) Serial Ports**
- **Memory Stick (MS) Serial Ports**
- 128K on-chip memory, 32KW DARAM, 96Kw SARAM
- 32KW ROM with 8KW in secure ROM
- 6-channel DMA
- EMIF (async SRAM, SDRAM)
- Enhanced 16-bit HPI muxed w/address bus
- 3 McBSPs (IIS, AC97, SPI, ST-Bus, IOM2, Codecs, T1/E1 framers)
- 3 timers: 2 general purpose, 1 watchdog
- **36 GPIO, Dedicated: 7 in LQFP, 8 in micro-Star BGA**
- S/W programmable Phase-Locked Loop (PLL)
- On-chip JTAG w/disconnection option

C5509 System Block Diagram





Présentations

Applications de traitement de signal

Choix d'architecture

Les DSP

Les C6xxx

Les C6000

TMS320C62/C64x :

- 32 bits entiers
- Jusqu'à 8 instructions en // par cycle
- Le C6205 inclût une interface PCI
- A partir de 25\$ en volume jusqu'à 250\$ (C64x)

TMS320C67x :

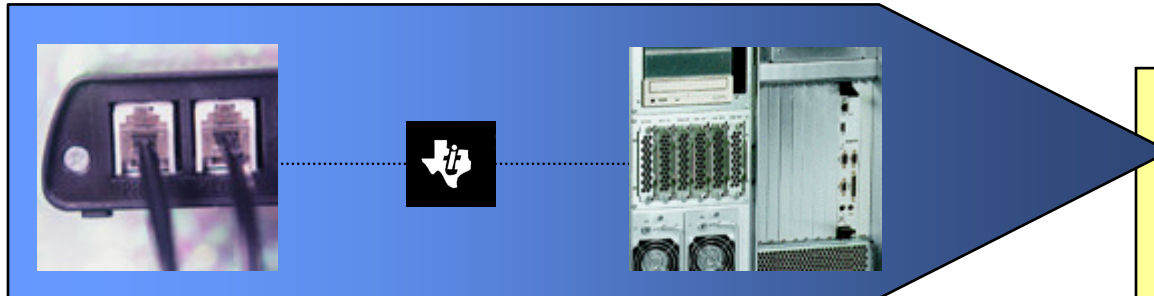
- 32 bits flottants
- Jusqu'à 6 instructions flottantes en // par cycle
- Code des C62x compatible (sur-ensemble d'instructions pour le C67x)

TMS320C64x :

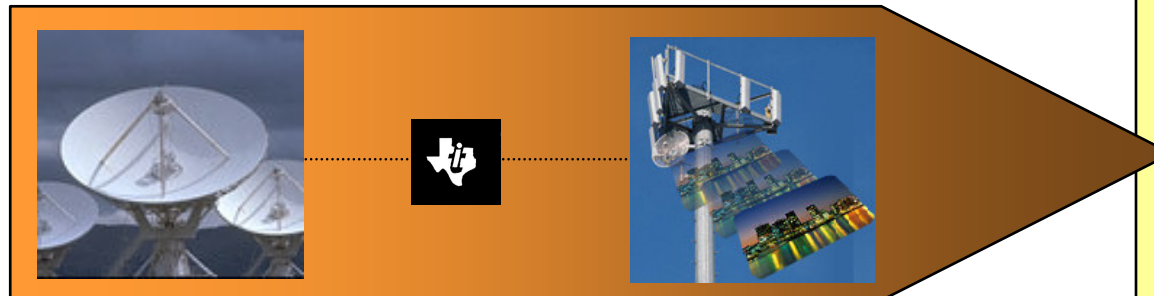
- Nouveau coeur, beaucoup plus performant
- Nouvelles instructions
- 400 à 600 MHz avec à termes 1.1GHz

C6000™ Drives High Speed Broadband and Imaging Applications

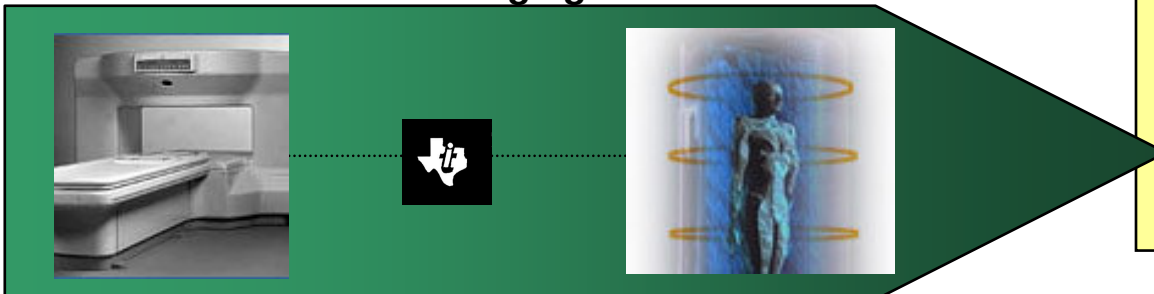
Broadband Communications



Wireless 3G Base Stations



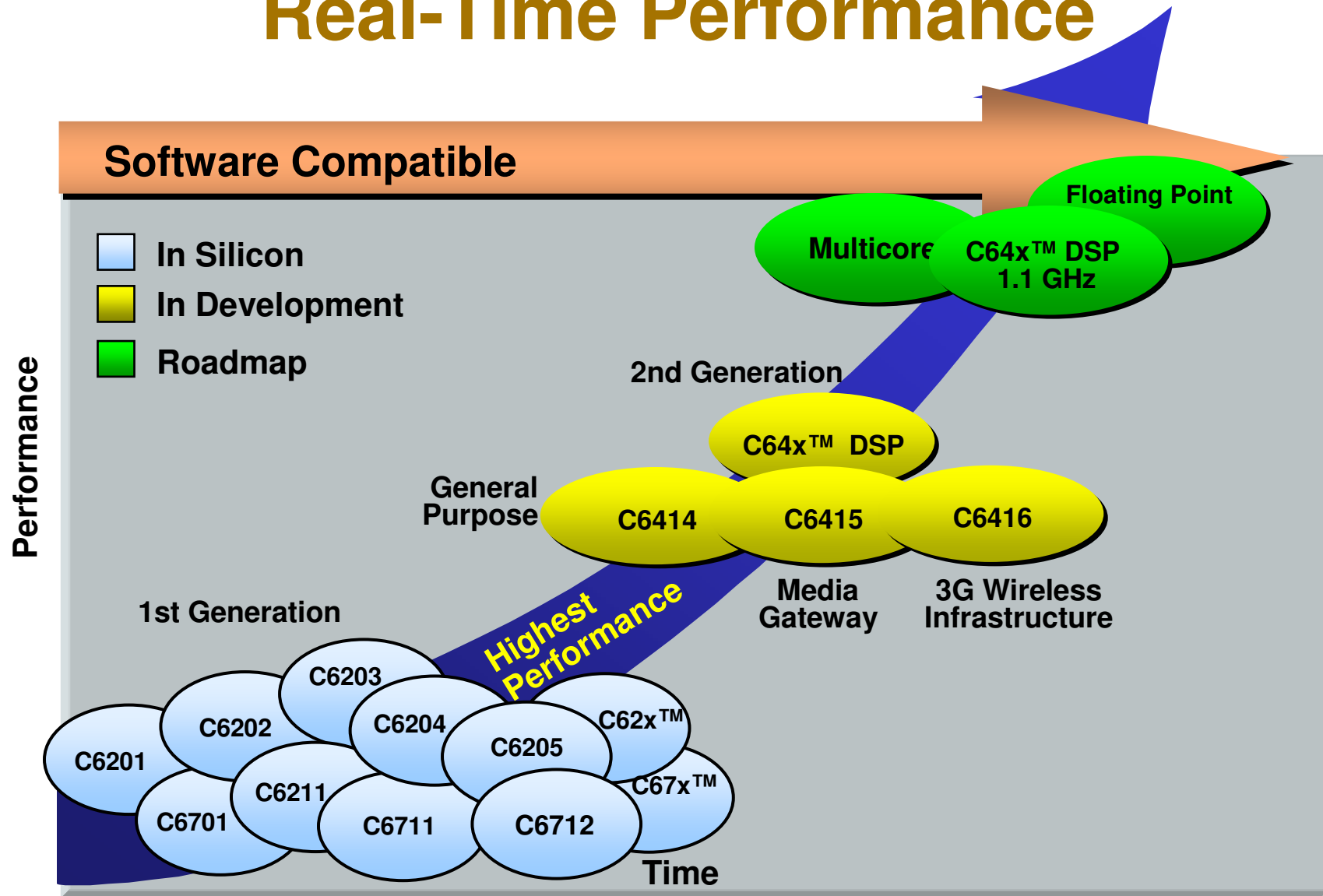
Medical Imaging



- DSL modems
- Pooled modems
- Base station transceivers
- Wireless LAN
- Enterprise PBX
- Speech recognition
- Multimedia gateway
- Professional audio
- Networked camera
- Machine vision
- Security identification
- Industrial scanner
- High speed printer
- Advanced encryption

TMS320C6000™ DSP

Real-Time Performance



C6000™ DSP Spec Summary

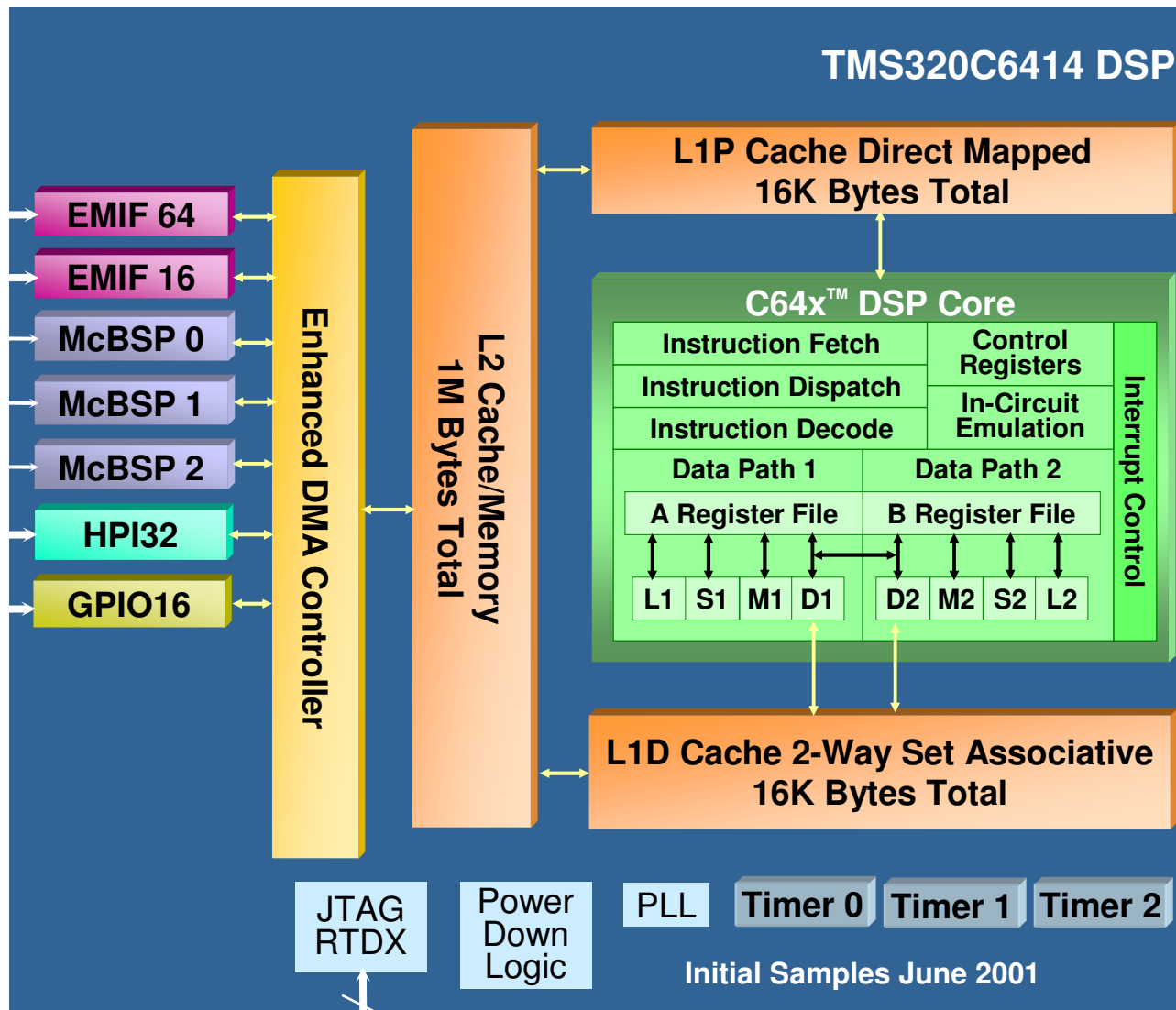
Software Compatible

	VelociTI™ C62x™	VelociTI.2™ C64x™	Improvement
MHz	150-300	600-1100	4x
MIPS	1200-2400	4800-8800	4x
16-bit MMACs	300-600	2400-4400	8x
8-bit MMACs	300-600	4800-8800	16x
Communications	General	Special purpose instructions	8x
Imaging	General	Special purpose instructions	15x
Code size reduction		Advanced instruction packing	25%
Overall Performance			10X

Les C67x

Caractéristique	C7611	C6712	C6713
Fréquence max	150 MHz	100 MHz	225 MHz
Mémoire & cache	L1D : 4KB L1P : 4KB L2/IMEM : 64 KB	L1D : 4KB L1P : 4KB L2/IMEM : 64 KB	L1D : 4KB - L1P : 4KB L2+IMEM : 64 KB IMEM : 192 KB
EDMA	16	16	16
EMIF	32 bits	16 bits	BGA : 32 bits QFP : 16 bits
Host port	16 bits HPI	no	16 bits HPI
Liaison série	2 x McBSP	2 x McBSP	2 x McBSP 2 x McASP ⁽¹⁾ 2 x I2C
Timers	2	2	2
Core Supply	1.8	1.8	1.2
IO Supply	3.3	3.3	3.3
ALUs	6 ALU (floating + fixed) 2 MUL (floating + fixed)	6 ALU (floating + fixed) 2 MUL (floating + fixed)	6 ALU (floating + fixed) 2 MUL (floating + fixed)
GPIO	no	no	16
	256 BGA	256 BGA (comp. 6711)	208-pin PowerPAD (QuadFlatPack) 256 BGA

TMS320C6414 DSP



600 MHz DSP core

- Industry-leading performance in 0.12 micron copper process

Multi-level memories

- Fuel core performance

64-channel EDMA

- Unmatched I/O efficiency

Two 133 MHz EMIFs

- Superior external bandwidth

Three McBSPs

- Ease audio & telecom interfacing

32-bit HPI

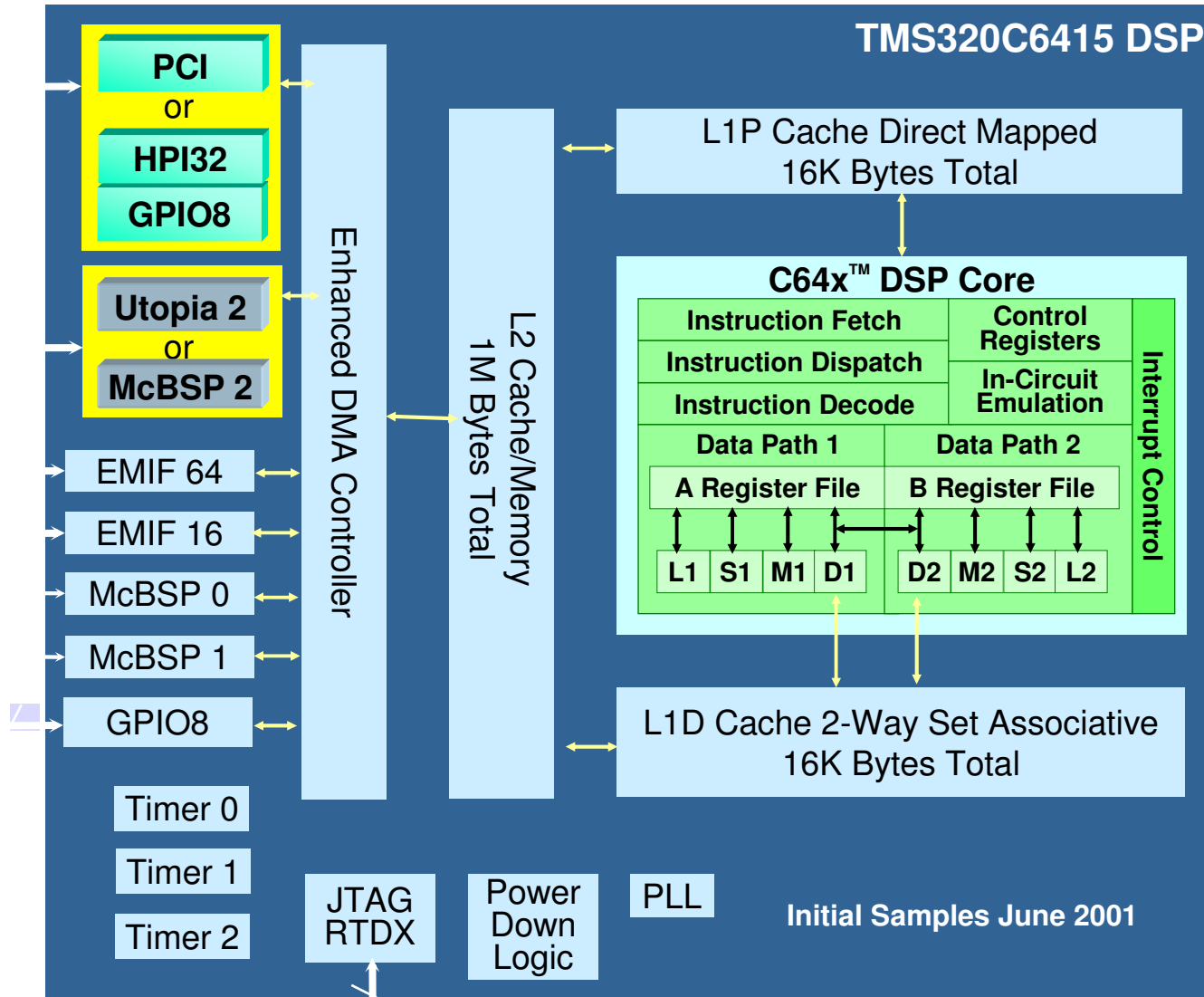
- Simplifies host connectivity

23mm/532 BGA package

- Maximizes channel density

Initial Samples June 2001

TMS320C6415 DSP



Flexible PCI or HPI32 host connection

- 33 MHz/32-bit connectivity for control or interprocessor communications

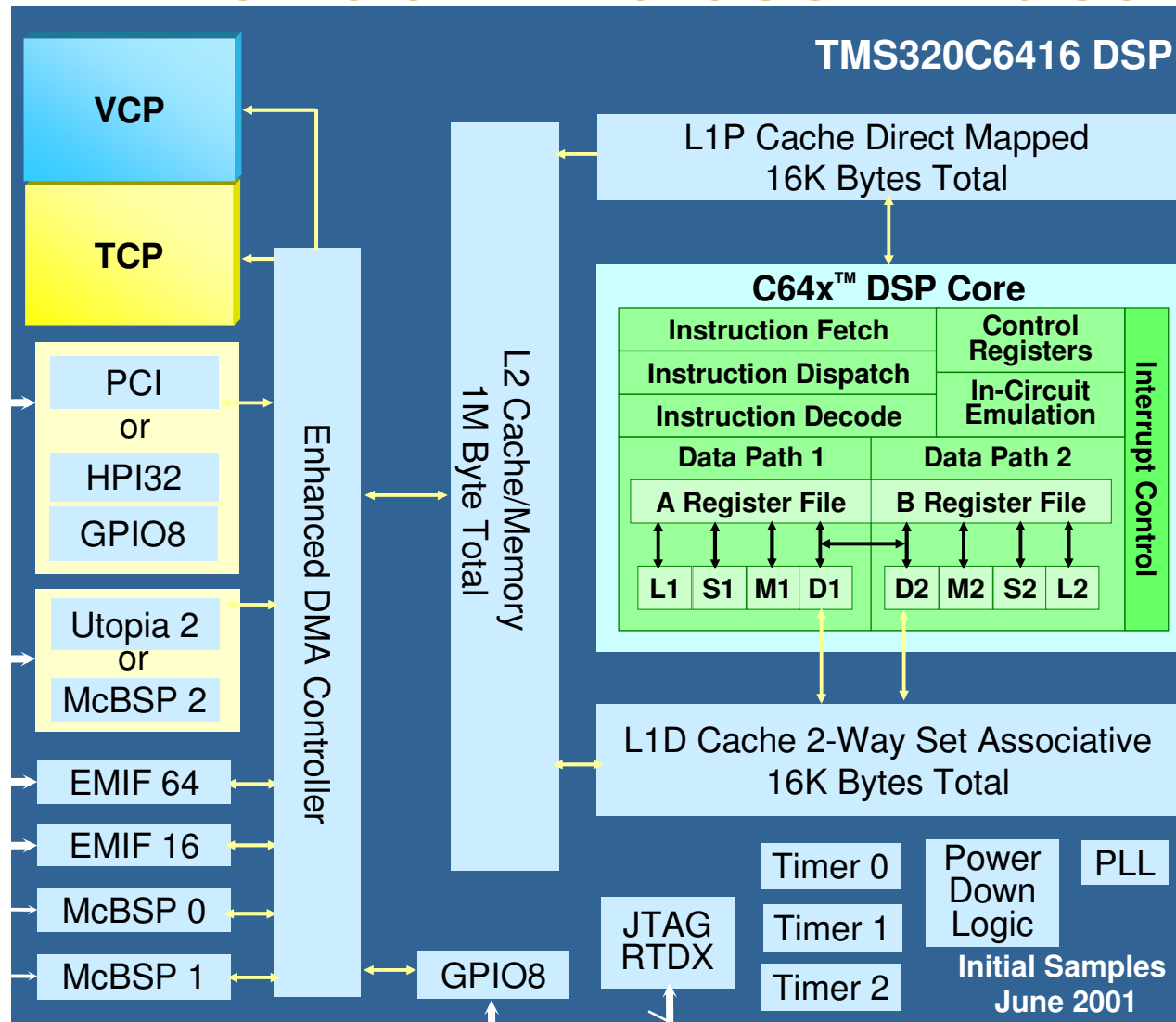
Utopia 2 ATM connection

- 50 MHz wide area network connectivity

Pin compatible with C6414 DSP

- Object code compatible with all C6000™ DSPs

TMS320C6416 DSP: Customized For 3G Wireless Infrastructure



Viterbi Coprocessor (VCP)

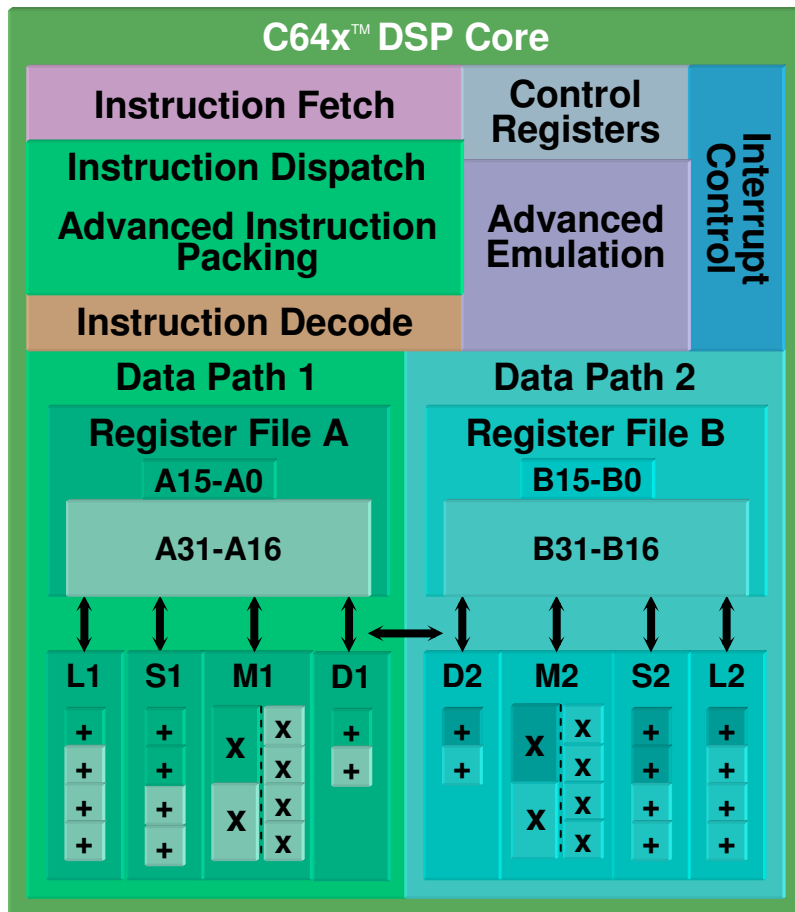
- Supports >500 voice channels at 8 kbps
- Programmable decoder parameters include constraint length, code rate, and frame length

Turbo Coprocessor (TCP)

- Supports 35 data channels at 384 kbps
- 3GPP/IS2000 Turbo coder
- Minimal processor delay
- Programmable parameters include mode, rate and frame length

Pin compatible with C6414/C6415 DSPs

TMS320C64x™ DSP Achieves Performance Breakthrough



- **Parallelism**

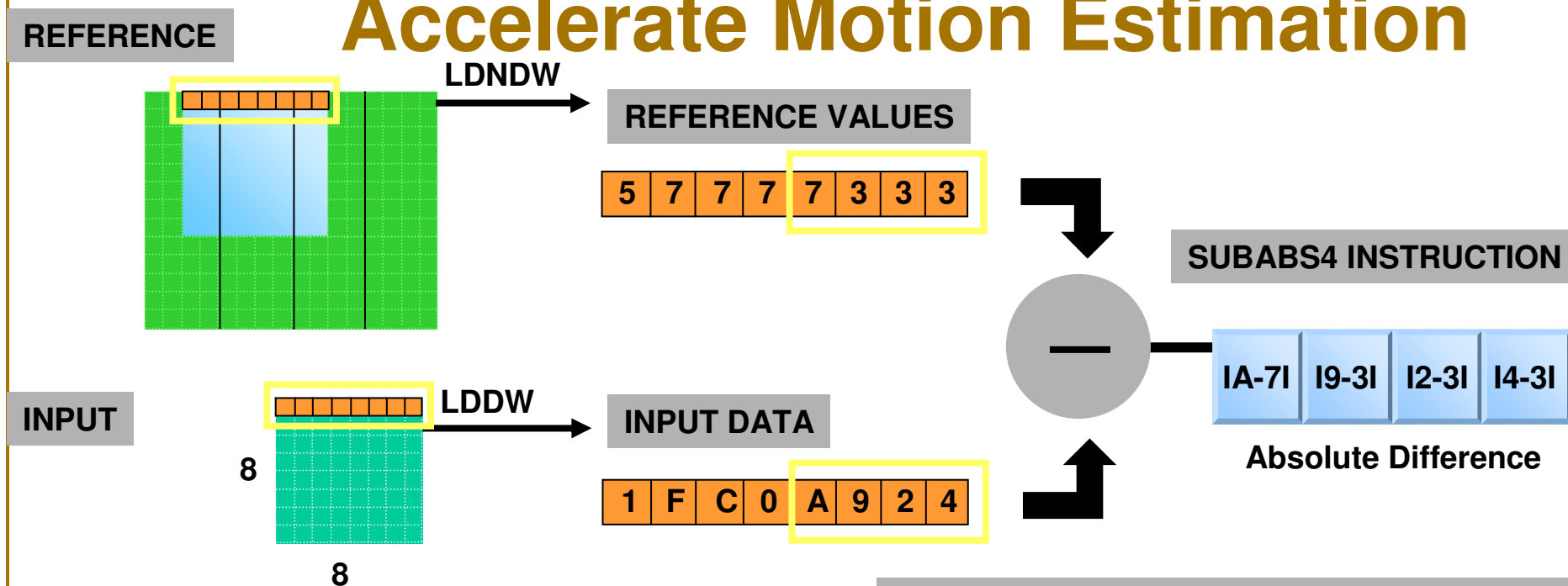
- 8 new instructions can always be dispatched every cycle
- Packed data processing within instructions (dual 16-bit, quad 8-bit)
- Key data flow instructions

- **Special Purpose Instructions**

- Accelerate key broadband communications and imaging functions

Non-Aligned Loads & Packed Data Processing

Accelerate Motion Estimation



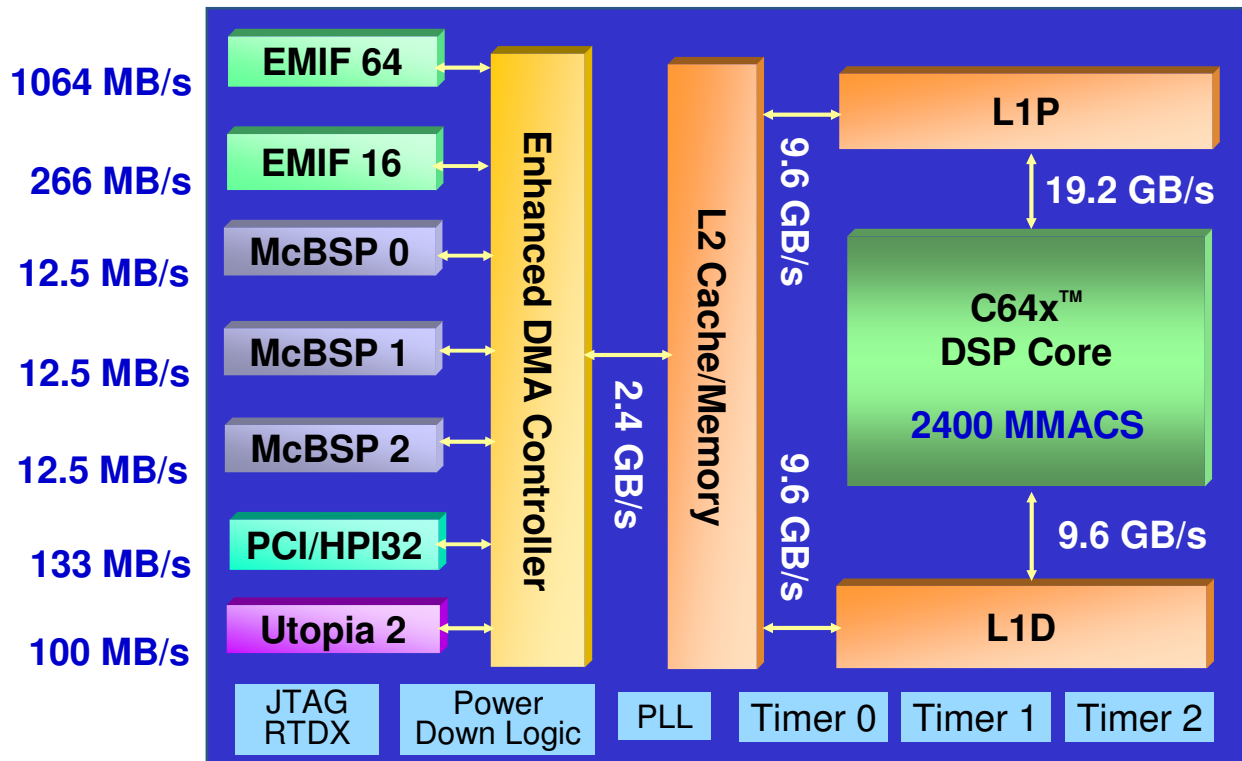
LDNDW (Load Non-aligned Double Word)

- Accesses a double word on any byte alignment in internal memory in a single cycle
- Key to sustaining packed data processing performance in real-world algorithms

SUBABS4 (Quad Subtract and Absolute Value)

- Computes the absolute value of the difference between 4 reference frame pixels and 4 input frame pixels
- Two SUBABS4 operations can be performed each cycle

Devices Balance High-Speed Core With Gigabytes of Bandwidth



Most powerful DSP core:

2400 MMACS

Real-time multi-level memory architecture:

28.8 GB/s CPU Bandwidth

Concurrent, multi-threaded EDMA:

2.4 GB/s DMA bandwidth

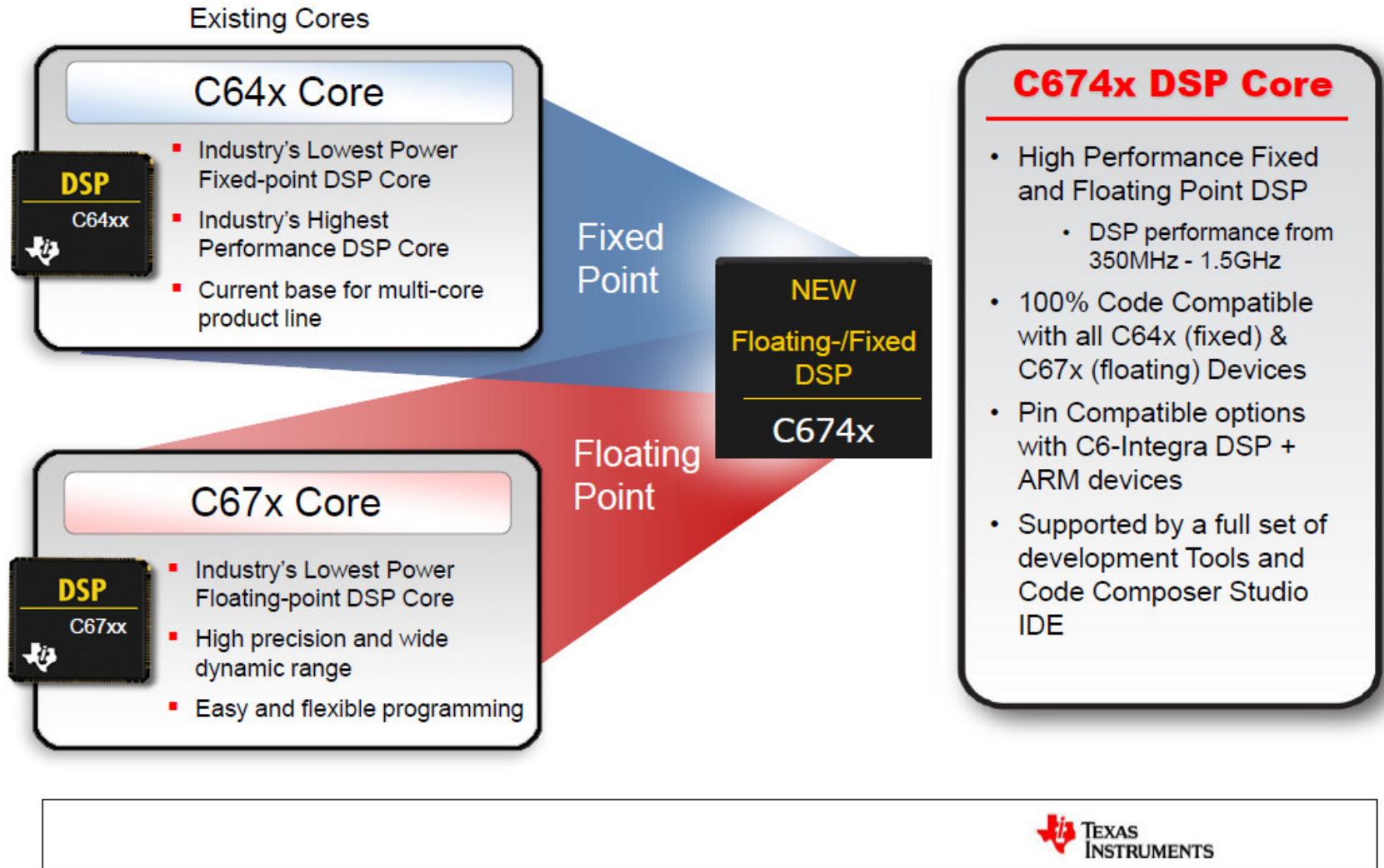
High-speed, industry standard I/O:

1.6 GB/s I/O bandwidth

C64x ISA: Special Purpose Instructions

Instruction	Description	Application
BITC4	SIMD Bit Count	Machine Vision
GMPY4	Galois Field MPY	Reed Solomon Support
SHFL	Bit Interleaving	Convolutional Encoder
DEAL	Bit De-interleaving	Cable Modem
SWAP4	Byte Swap	Endian Swap
XPNDx	Bit Expansion	Graphics
MPYHIx, MPYLIx	Extended Precision 16x32 MPYs	Audio
AVGx	Quad 8-Bit, Dual 16-Bit Average	Motion Compensation
SUBABS4	Quad 8-Bit Absolute of Differences	Motion Estimation
SSHVL, SSHVR	Signed Variable Shift	ITU Vocoders (GSM,etc.c)

C67x : un coeur haute performance, virgule fixe et flottante



Les DSP Multicoeurs

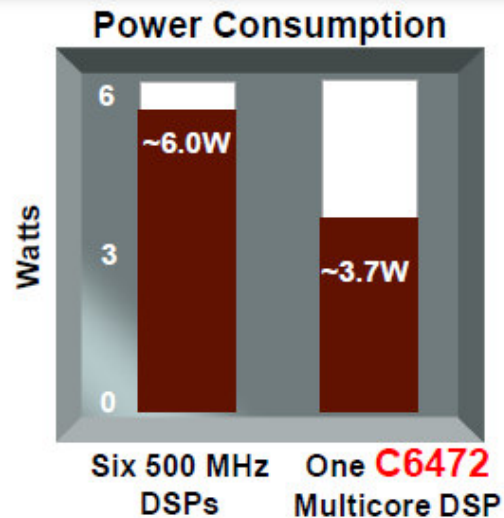


- 6 DSP cores with up to 4.2GHz of raw performance
- Power consumption only 3.7W @ 3GHz – Best Power Performance in the Industry



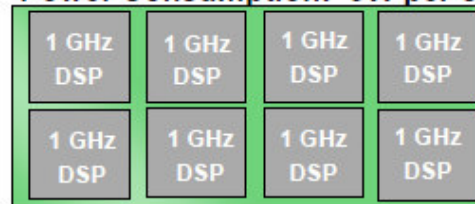
- 3 DSP cores with up to 1.2GHz per core
- Power consumption at ~ 6W

**Same Performance
40% Less Power**



**Power Budget
50% More Performance Using Same**

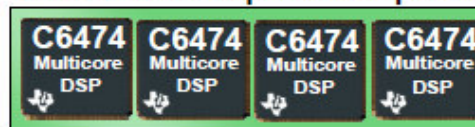
Power Consumption: 3W per core



Board with
25 Watt power
limit reached

8 GHz raw performance

Power Consumption: 6W per device



More performance
for same
power budget

12 GHz raw performance

Mission Critical



Test and Measurement



Server Blades/ HPC



Medical Imaging



L'offre DSP multicoeurs



x1

- Single core, easy to use with 2MB dedicated L2 RAM
- Up to 1MB cacheable for high-performance data applications
- Communications enhanced – 2x TCP2 for 3GPP & LTE
- Pin-compatible devices in family from 850 MHz to 1.2 GHz



x6

- The best power performance multicore DSP in the industry with 3-GHz equivalent performance at 0.15mW/MIPS
- 6-core DSP up to 700MHz per core; over 5MB+ of on-chip memory including 768 KB of shared memory
- Optimized DSP architecture to minimize system power on a chip



x4

- Uses the highest & best fixed & floating point DSP core (c66x) in the market
- 4 cores up to 1.2GHz targeted for Radar, Software Defined Radio and wireless applications
- Multitude of high speed peripherals (PCIe, sRIO, OBSAI/CPRI, Hyperlink, etc)
- 1Mb L2 per core, 2 MB shared L2



x1

- Single core, easy to use with 2MB dedicated L2 RAM
- Low power, typical @ 2W for 1-GHz performance
- RapidIO® and communications accelerators
- Pin-compatible devices in family from 720 MHz to 1.2 GHz



x3

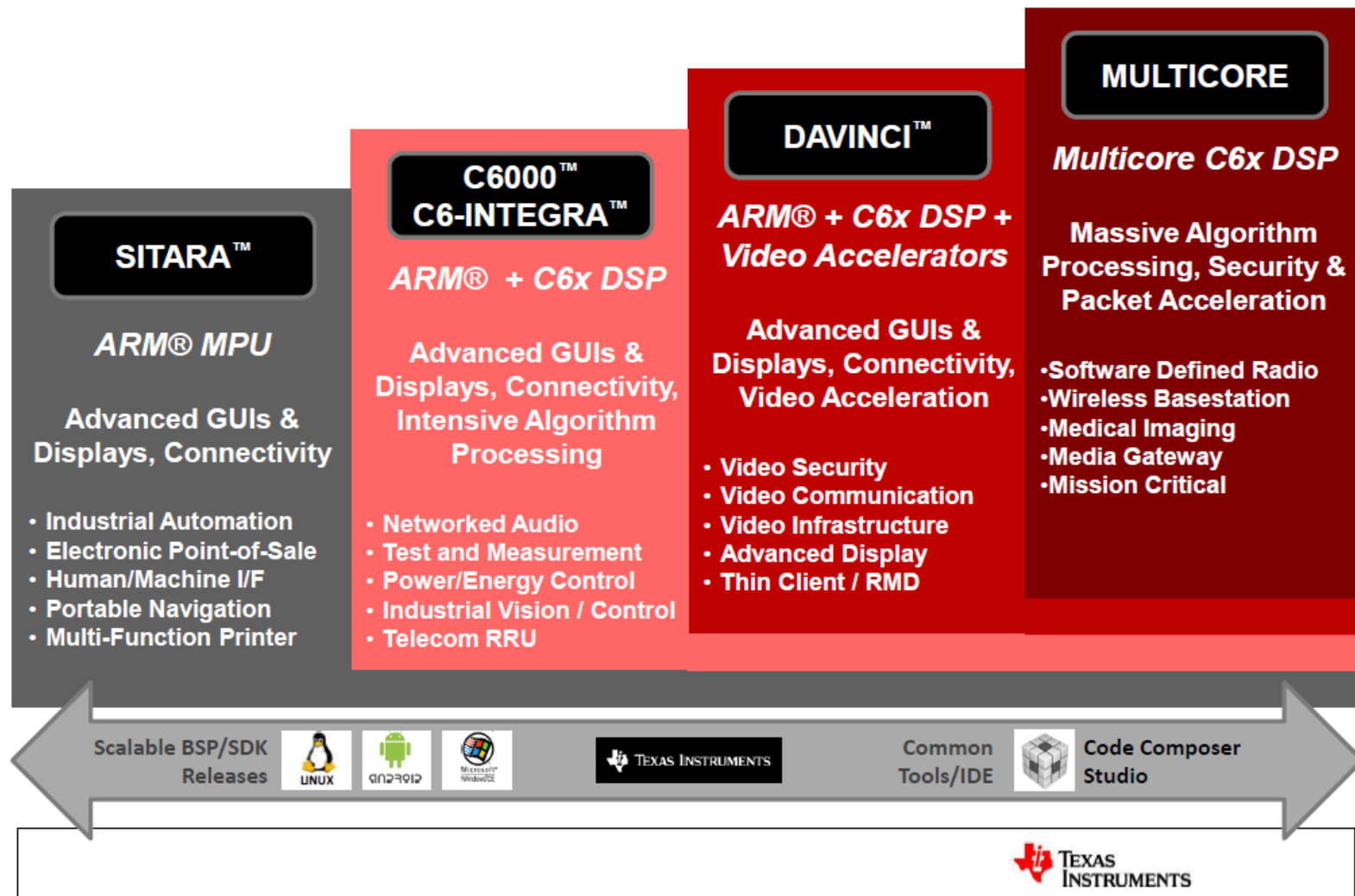
- Highest performance per core in the industry at 1.2 GHz/ core; 1MB dedicated L2 RAM/ core
- 3-core communications DSP with built in wireless accelerators
- Optimized DSP architecture to maximize system performance on a chip



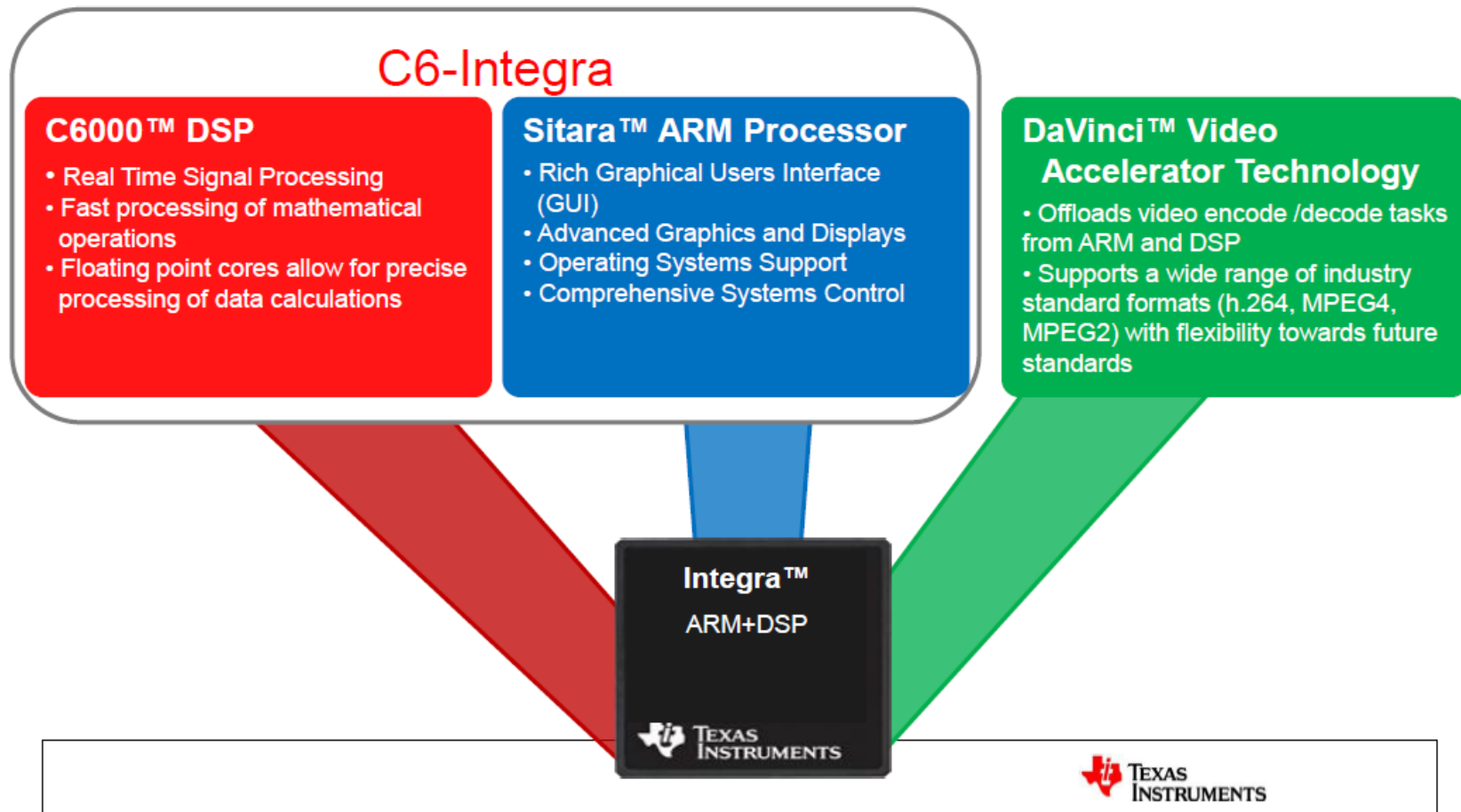
x
x
x

- The highest & best fixed & floating point DSP in the market at 320GMACs and 1.25 GHz
- Pin-per-Pin compatible between C6678, C6674 & C6672
- Supports fast peripherals such as PCIe, sRIO, TSP, Hyperlink, Giga Ethernet etc.
- Support 4 MB shares L2 plus 512KB L2 per core.

Multicœur hétérogène : architectures hybrides et accélérées



architectures hybrides et accélérées



Quand utiliser un INTEGRA?

Industrial, Military, Medical



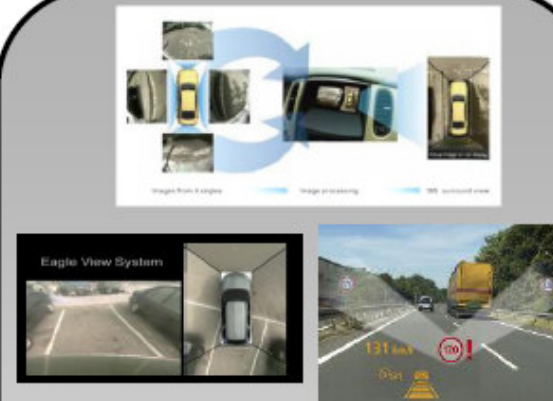
- Industrial connectivity (e.g. Ethernet, CAN, etc.)
- Extended temperature range
- High precision floating point DSP
- Low heat dissipation core (no fan or heat sink)
- 3D graphics accelerator for building advanced GUIs (supported by C6-Integra)
- Real-time operating systems

Audio / Infotainment



- High precision floating point DSP for high-end audio processing and speech recognition
- Efficient interface for Wireless Communications
- Small package sizes and low power for portable equipment
- Bundled software and ease of development

Automotive Vision



- High performance 1GHz+ DSP enables customer differentiated analytics
- Video and imaging support for front, rear, and surround cameras
- Automotive connectivity (e.g. Ethernet, CAN, etc.)
- Extended temperature range
- Long product lifecycle with focus on reliability and quality

Long (> 10yr) Product Lifecycles with Focus on Reliability and Quality