

IF5-PAR	Architecture et parallélisme	Date mise à jour : 09/07/2008
---------	-------------------------------------	----------------------------------

Statut : Obligatoire ESIEE 5e année 1er semestre

Horaires : Horaire Cours : 30 h Horaire TP : 15 h

Crédits ECTS 5

:

Responsable(s) : GRANDPIERRE Thierry PERROTON Laurent AKIL Mohamed
grandpit@esiee.fr perrotol@esiee.fr akilm@esiee.fr

Objectif(s) :

être capable d'identifier et exploiter le parallélisme d'algorithmes pour optimiser l'exécution de leur implantation sur des architecture renfermant du parallélisme : cela passe par l'étude et la programmation d'architectures parallèles monopuce (parallélisme intraprocésseur) et d'architectures parallèles (multiprocésseur, multi-stations de travail).

Pré-requis :

IF4-ARCH

Themes	Cours	T.D	T.P	P
Introduction au parallélisme et à PVM	14h00		6h00	
Modèles de calcul parallèle, SIMD, MIMD, PRAM. Architectures à passage de message, communications, topologie de réseaux, application à la parallélisation de problèmes numériques, analyse de dépendances. Introduction à MPI et PVM.				
Parallélisme intraprocésseur	12h00		4h00	
Classification des architectures RISC, CISC, scalaire, superscalaires, vectorielles, VLIW, DSP, SoC. Etude et programmation optimisée des architectures Pentium/PowerPC et de leurs unités SSE2/Altivec.				
Parallélisme multicomposant	4h00		5h00	
Etude d'architectures multiprocésseurs homogènes et hétérogènes (multi DSP, FPGA) Méthodologie de conception : prototypage rapide d'applications temps réels embarquées. Outils de Codesign SynDEx et SynDEx-IC				

Nature de l'épreuve	Commentaires	Durée	Coeff
Rapports de TP			

Bibliographie :

Documents de références

- [1] Al Geist, et al., *PVM: Parallel Virtual Machine, A User's Guide and Tutorial for Parallel Computing*, MIT Press
- [2] Ahmed Amine Jerraya - Wayne Wolf, *Multiprocessor Systems On Chips*, Morgan Kaufmann
- [3] John L. Hennessy David Patterson Daniel Etiemble, *Architecture des ordinateurs Une approche quantitative*, Vuibert
- [4] William Stallings, *Computer Organization and Architecture: Designing for Performance*, Prentice Hall,
- [5] Kip Irvine, *Assembleur x86*, Pearson Education
- [6] E. Belhaire, E. Bourennane, G. Bouvier, D. Demigny, P. Garda, L. Kessal, L. Lacassagne, F.

Lohier, M. Painsavoine, Y. Sorel, L. Torres, S. Weber, *Méthodes et architectures pour le traitement du signal en temps réel*, Hermès

Moyens pédagogiques particuliers :

PVM sous Linux

Compilateur Intel

SynDEx (INRIA)/SynDEx-IC (INRIA/ESIEE)

Compilateur/Simulateur Trimaran